

Vilniaus universiteto  
Fizikos fakulteto  
Fotonikos ir nanotechnologijų institutas

Vladislovas Čižas

SKIRTINGUS KOMUNIKACIJOS PER GALIOS LINIJAS STANDARTUS PALAIKANČIO  
MODULIO PROTOTIPO KŪRIMAS IR TYRIMAS IŠMANAUS GATVIŲ APŠVIETIMO  
TAIKYMAMS

Magistrantūros studijų baigiamasis darbas

Optoelektronikos medžiagų ir technologijų  
studijų programa

Studentas

Vladislovas Čižas

Leista ginti

2019-05-20

Darbo vadovas

doc. dr. Pranciškus Vitta

Instituto/Centro direktorius/atstovas

prof. Vincas Tamošiūnas

Vilnius 2019



# Turinys

<b>NAUDOJAMŲ TRUMPINIŲ SĄRAŠAS</b>	<b>4</b>
<b>ĮVADAS</b>	<b>6</b>
<b>1 LITERATŪROS APŽVALGA</b>	<b>7</b>
1.1 OSI modelis . . . . .	7
1.2 Ryšio linijų bendro naudojimo būdai . . . . .	8
1.3 Klaidos kanale atsiradimo ir mažinimo būdai . . . . .	13
1.3.1 Korekciniai kodai . . . . .	14
1.3.2 Klaidų atsiradimo tikimybės mažinimo algoritmai . . . . .	18
1.4 Trumpa PLC standartų apžvalga . . . . .	20
1.5 Sinuso bangos osciliatorių apžvalga . . . . .	21
1.6 Elektrinių signalų filtravimo sprendimai . . . . .	24
1.6.1 Galios laidų dažninio atsako charakterizavimas . . . . .	25
1.6.2 Filtrų charakterizavimas . . . . .	26
1.6.3 Filtrų tipai . . . . .	26
1.6.4 Filtrų topologijos . . . . .	27
<b>2 METODIKA</b>	<b>31</b>
2.1 Sukurto PLC modulio ryšio realizacijos principas . . . . .	31
2.2 Sukurto PLC prietaiso komponentai ir jų pasirinkimo pagrindimas . . . . .	33
2.2.1 Maitinimas . . . . .	33
2.2.2 Siuntimo dalis . . . . .	34
2.2.3 Priėmimo dalis . . . . .	35
2.3 Sukurto PLC modulio programinės dalies aspektai . . . . .	37
<b>3 REZULTATAI</b>	<b>41</b>
3.1 Schema ir prototipas . . . . .	41
3.2 PCB plokštė ir SMD prototipai . . . . .	43
3.3 Modulių informacijos perdavimo galimybių matavimai . . . . .	45
<b>IŠVADOS</b>	<b>49</b>
<b>KONFERENCIJŲ SĄRAŠAS</b>	<b>50</b>
<b>LITERATŪROS SĄRAŠAS</b>	<b>51</b>
<b>SANTRAUKA</b>	<b>56</b>
<b>SUMMARY</b>	<b>57</b>

# NAUDOJAMŲ TRUMPINIŲ SĄRAŠAS

- ACK – Acknowledgement (patvirtinimas)
- AGC – Automatic Gain Control (automatinis stiprinimo valdymas)
- BPSK – Binary PSK (binarinė fazinė moduliacija)
- CDM – Code Division Multiplexing (kodinis kanalų multipleksavimas)
- CRC – Cyclic Redundancy Check (ciklinė perteklinė kontrolė)
- CSI – Channel State Information (kanalo būsenos paketas)
- CSMA – Carrier – Sense Multiple Access (kolektyvioji našlio jutimo kreiptis)
- CSMA–CA – CSMA with Collision Avoidance (kolektyvioji našlio jutimo kreiptis su susidūrimų vengimu)
- CTS – Clear To Send (leidimas siųsti)
- DBPSK – Differential BPSK (skirtuminė binarinė fazinė moduliacija)
- DC – Direct Current (nuolatinė srovė)
- DCSK – Differential Code Shift Keying (skirtuminė kodinė moduliacija)
- DSSS – Direct – Sequence Spread Spectrum (tiesioginės eilutės plėstojo spektro technika)
- DQPSK – Differential QPSK (skirtuminė kvadratūrinė moduliacija)
- D8PSK – Differential 8 – level PSK (skirtuminė 8 lygių fazinė moduliacija)
- FDM – Frequency Division Multiplexing (dažninis kanalų multipleksavimas)
- FFT – Fast Fourier Transformation (greitoji Furjė transformacija)
- FHSS – Frequency Hopping Spread Spectrum (plėstojo spektro šokinėjančio dažnio technika)
- FWHM – Full Width at Half Maximum (pusės maksimumo plotis)
- GBW – Gain – Bandwidth Product (dažnių juostos plotis ties tam tikru stiprinimu)
- GI – Guard Interval (apsauginis intervalas)
- IFFT – Inverse Fast Fourier Transformation (atvirkštinė greitoji Furjė transformacija)
- ISI – InterSymbol Interference (tarpsimbolinė interferencija)
- ISO – International Organization for Standardization (tarptautinė standartizavimo organizacija)
- LLC – Logical Link Control (loginio ryšio valdymas)
- MAC – Media Access Control (prieigos valdymas)
- NACK – Negative Acknowledgement (neigiamas patvirtinimas)
- OFDM – Orthogonal Frequency Division Multiplexing (ortogonalusis dažninis multipleksavimas)

OSI – Open System Interconnect (atvirų sistemų tarpusavio jungimasis)  
PCB – Printed Circuit Board (spausdintinė plokštė)  
PHY – Physical (fizinis lygmuo)  
PLC – Power – Line Communication (informacijos perdavimas elektros galios laidais)  
PSD – Power Spectral Density (galios spektrinis tankis)  
PSK – Phase Shift Keying (fazinė moduliacija)  
QPSK – Quadrature PSK (kvadratūrinė moduliacija)  
RS – Reed – Solomon coding (Reedo – Solomono kodavimas)  
RTS – Request To Send (prašymas siųsti)  
SMD – Surface Mount Device (paviršinio tvirtinimo komponentas)  
TDM – Time Division Multiplexing (laikinis dažninis multipleksavimas)  
TMR – Tone Map Response (kanalo žemėlapiu atsakas)  
TTL – Tranzistor Tranzistor Logic (tranzistoriaus tranzistoriaus logika)  
UART – Universal Asynchronous Receiver – Transmitter (universalus asinchroninis imtuvas  
– siųstuvas)  
XOR – Exclusive OR (išskirtinė ARBA logika)

ADC – Amplitudės – Dažnio Charakteristika  
DGR – Daugelio Grįžtamųjų Ryšių (Multiple Feedback)  
FDC – Fazės – Dažnio Charakteristika  
OS – Operacinis Stiprintuvas

# ĮVADAS

Šiuolaikiniame sparčiai technologiškai besivystančiame pasaulyje, visos išsivysčiusios šalys suvokia gamtos ir resursų tausojoimo svarbą ir neišvengiamą technologinių pasiekimų indėlį į šį procesą. Šiuolaikiniai elektronikos inžinerijos sprendimai užtikrina pigių bei lengvai sukuriamų optimizacijos ir valdymo sistemų atsiradimą, kurių pagalba galima sutaupyti stubbinančius energijos kiekius. Pavyzdžiui yra apskaičiuota, kad gatvių apšvietime, atsižvelgiant į naująją EN13201 gatvių apšvietimo standarto versiją, naudojant šiuolaikines kietakūnes lempas, galima sutaupyti iki 50% naudojamos elektros energijos lyginant su kietakūniu apšvietimu be valdymo sistemos (preliminariais skaičiavimais iki 50 TWh) [1, 2].

Paskutini dešimtmetį yra iš naujo atrandama PLC (angl. Power-Line Communication) technologija, kai informacija yra perduodama galios laidais. Tokie PLC technologijos privalumai kaip informacijos perdavimo galimybės, atsisakant papildomos infrastruktūros diegimo bei padidinta perduodamos informacijos apsauga, nulemia tai, kad PLC tampa vis patrauklesnė informacijos perdavimo technologija skirtingiems taikymams (pvz. gatvių apšvietimo valdymui, "daiktų internetui", ryšiui tarp automobilio sistemų ir t.t.) [3–6].

Šiam momentui, viena iš didžiausių kliūčių, trukdančių PLC plitimui - vieningo standarto nebuvimas. PLC technologija, žinoma dar antro pasaulinio karo laikais, ilgą laiką nebuvo populiari dėl labai triukšmingo tinklo ir kokybiško ryšio realizavimo sudėtingumo, tad nebuvo ir standartizuota. Todėl skirtingos PLC technologiją vystančios įmonės kūrėsi savo informacijos perdavimo protokolus, kurie yra nesuderinami tarpusavyje. Taip šiai dienai iškilo problema, kad skirtingo standarto pagrindo prietaisams veikiant viename tinkle atsiranda įvairaus lygio suderinamumo problemų ar nepatogumų.

Pagrindinis šio baigiamojo darbo tikslas: **sukurti santykinai paprastą ir ekonomiškai efektyvią PLC sistemą, veikiančią fazinės moduliacijos pagrindu ir gebančią apjungti, interpretuoti ir konvertuoti skirtingais PLC standartais siunčiamus signalus**. Tikslui pasiekti buvo suformuluoti keli uždaviniai:

- Išstobulinti informacijos perdavimo koncepciją ir ją patikrinus grandynų modeliavimo programose, išsirinkti optimalią komponentų kombinaciją ir sukurti kelių PLC modulių prototipų tinklą, tinkantį tolimesniems tyrimams.
- Iširti sukurto modulio signalų perdavimo įprastiniais galios kabeliais galimybes klaidingai priimtų duomenų paketų aspektu.

# 1 LITERATŪROS APŽVALGA

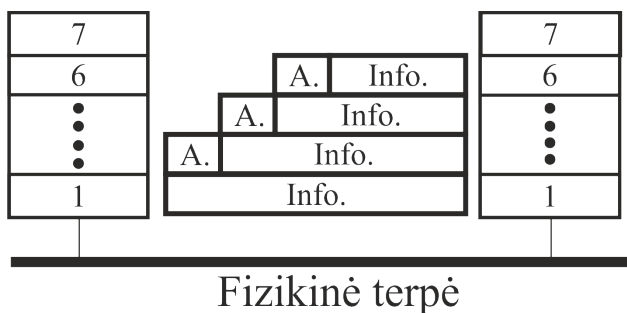
Šiame skyriuje yra pateikiama trumpa literatūros analizė, kuri yra reikalinga PLC informacijos perdavimo technologijai suprasti bei tam tikrų PLC modulio veikimui būtinų dalių analizė. Siekiant neviršyti nustatytų darbo apimtys reikalavimų, šiame darbe nebus pateikiama informacija apie moduliacijos tipus ir skirtingų moduliacijų efektyvumus. Taip pat nebus pateikiama išsami PLC standartų analizė. Su šia ir išplėsta darbe pateikta literatūros analizė galima susipažinti cituojamoje literatūroje ir ankstesniuose autoriaus darbuose [7–9].

## 1.1 OSI modelis

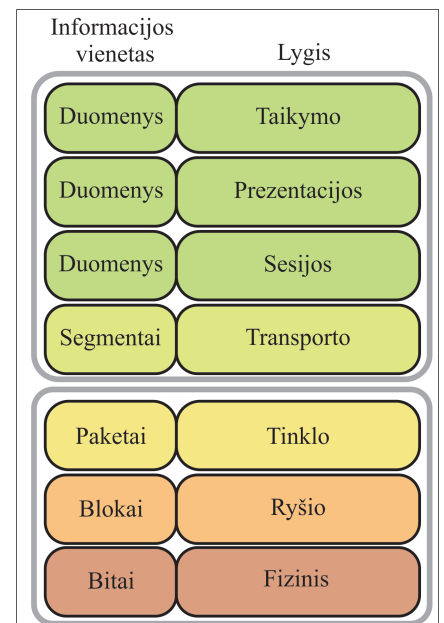
80-ųjų metų pradžioje ISO (International Organization for Standardization) suvokė standartinio tinklo modelio poreikį, kurio pagrindu telekomunikacijų prietaisų gamintojai galėtų kurti prietaisus, gebančius sąveikauti tarpusavyje. Toks standartas buvo išleistas ir pavaidintas OSI (Open System Interconnect). Etaloninis OSI modelis padalina informacijos perdavimo procesą į 7 mažesnius procesus arba lygius (žr. 1.1.1 pav.).

Kiekvienas lygis gali bendrauti su gretimais lygiais (iš viršaus ir apačios). Pasikeitimas informacija tarp gretimų lygių atliekamas keičiantis antraštėmis, kurios yra pridamos prie naudingos informacijos. Kiekvienas žemesnis lygmuo prideda prie sistemos savo antraštę kaip parodyta 1.1.2 pav. Kadangi didžioji dalis PLC standartų apsiriboja tik 1–

3 lygmenimis, toliau bus pateikiamas trumpas jų apibrėžimas [10].



1.1.2 pav.: OSI modelio lygmenų paketų struktūra [11].



1.1.1 pav.: OSI modelio lygmenų struktūra (adaptuota iš [10]).

3 lygis (tinklo) aprašo duomenų perdavimo tinkle procedūrą. Jo pagrindinis tikslas nustatyti efektyviausią kelią informacijos perdavimui, o taip pat ieškoti ir pagal galimybes vengti tinkle atsirandančių grūsčių.

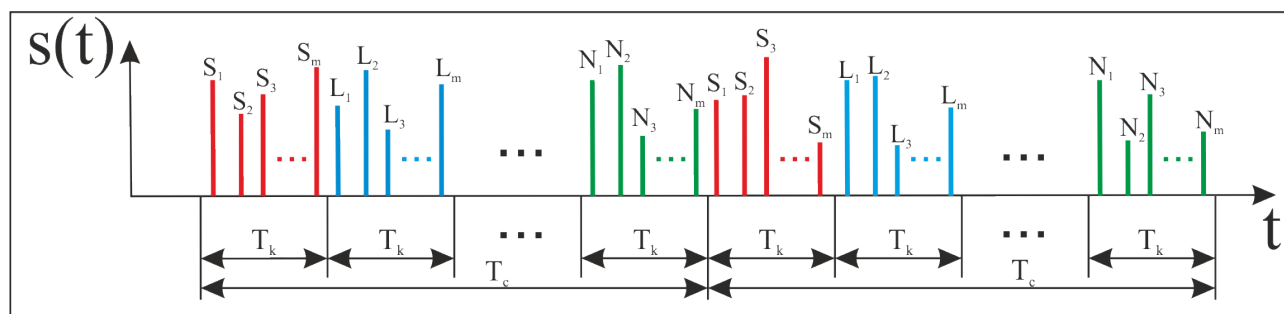
2 lygis (ryšio) užtikrina duomenų perdavimą kanalu. Šis lygis atsakingas už adresavimo problemų sprendimą, tinklo topologijos žemėlapių sudarymą, duomenų srau-

to kontrolę ir prieigos prie fizinio kanalo užtikrinimą. IEEE 802 standartas dalina ryšio lygį į dvi: MAC (angl. Media Access Control), kurio pagrindinis uždavinys yra prieigos prie kanalo valdymas ir LLC (Logical Link Control), kuris yra atsakingas už sąveiką su tinklo lygmeniu.

1 lygis (fizinis) aprašo fizinius kanalo parametrus (dažnius, moduliacijas, kartais kodavimą). Fizinis lygmuo nusako perdavimo kanalu greičius, sinchronizacijos parametrus, informacijos perdavimo atstumus [12].

## 1.2 Ryšio linijų bendro naudojimo būdai

Pastovi problema telekomunikacijoje: informacijos perdavimo kanalu greitis bei galimybė keliems prietaisams naudotis informacijos perdavimo kanalu (mūsų atveju elektros laidu) vienu metu. Ryšio linijos dalinimuisi naudojami skirtingi multipleksavimo algoritmai, kurie gali būti išskirti į tris grupes: dažninis sutankinimas (angl. Frequency Division multiplexing - FDM), laikinis sutankinimas (angl. Time Division multiplexing – TDM) ir kodinis sutankinimas (angl. Code Division Multiplexing – CDM). Šiame skyriuje bus trumpai pristatyta kiekviena grupė bei OFDM (angl. Orthogonal Frequency Division Multiplexing) technologija, kuri yra labai plačiai naudojama moderniuose PLC komunikacijos sprendimuose.



1.2.1 pav.: TDM multipleksavimo laikinis atvaizdavimas [13].

Laikinio (TDM) multipleksavimo atveju keli paketai yra perduodami juos siunčiant tuo pačiu dažniu, bet skirtingais laiko momentais. 1.2.1 pav. pavaizduotame TDM signalo laikiniame atvaizdavime, skirtingomis spalvomis pažymėti skirtingiems prietaisams skirti duomenų paketai. Galime matyti, kad šiuo atveju kiekvienam paketui suteikiamas vienodas perdavimo greitis. Vienas ciklas trunka  $T_c$ , kurio metu kas  $T_k$  yra persijungiama į kitą šaltinį. Vienas iš populiariesnių standartų, naudojančių TDM technologiją yra GSM, kadangi naudojant TDM galima nesunkiai valdyti informacijos srautus, nes persijungimo tarp šaltinių trukmė  $T_k$  nebūtinai turi būti vienoda, tad skirtingiems informacijos paketams suteikus didesnę ciklo dalį, padidinsime to informacijos paketo perdavimo greitį. Be galo svarbūs TDM sistemose yra sinchronizacijos simboliai, kurie nurodo kiekvieno ciklo pradžią ir gali sudaryti iki 20% trukmės.

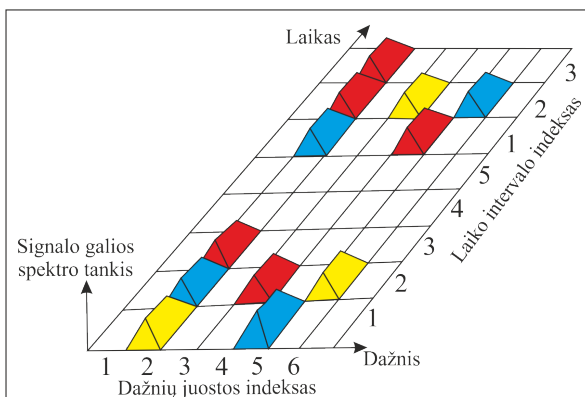


Kitas multipleksavimo būdas – kodinis multipleksavimas (CDM). Siauros juostos pločio signalas yra skleidžiamas į platesnį dažnių intervalą tarsi užmaskuojant signalą triukšme. Šis metodas vadinamas plėstojo spektro technologija ir yra atsparesnis triukšmams bei suteikia galimybę keliems vartotojams naudotis tuo pačiu dažnių intervalu. Egzistuoja du plėstojo spektro tipai: „šokinėjančio dažnio“ technika (angl. Frequency Hopping Spread Spectrum – FHSS) ir tiesioginio spektro plėtimas (angl. Direct – Sequence Spread Spectrum – DSSS). 1.2.2 pav. pavaizduoti pagrindiniai elementai plėstojo spektro komunikacijai realizuoti.

Ateinantis signalas koduojamas ir perduodamas į moduliatorių, kuriame jis yra moduluojamas pseudoatsitiktiniu kodu, kuris yra sudaromas pseudoatsitiktinės sekos generatoriumi. Dėl tokios moduliacijos signalo dažnių juosta išplinta ir tokiu pavidalu yra siunčiama į kanalą. Imtuve signalas yra dekoduojamas tokios pat pseudoatsitiktinės sekos pagalba [13].

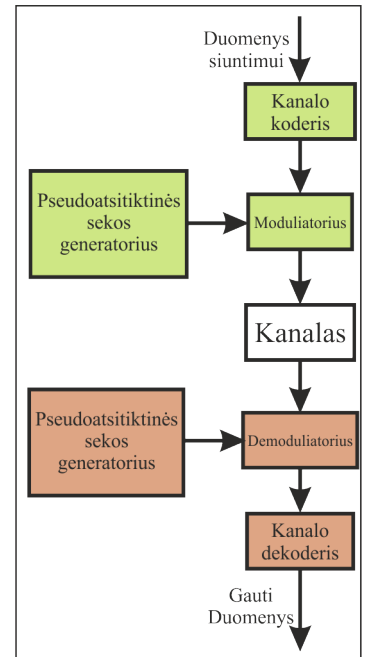
Plėstojo spektro technologija yra gerai apsaugota nuo įvairių tipų triukšmų poveikio, o taip pat nuo signalo interferencijos. Be to technologija leidžia šifruoti duomenys, kadangi signalas gali būti atstatytas tik žinant pseudoatsitiktinės sekos generatoriaus parametrus.

Naudojantis FHSS plėstojo spektro tipu, signalo perdavimas vyksta tam tikru dažnių rinkiniu, kuris pasižymi atsitiktinės sekos parametrais. FHSS perdavimo atveju rezervuojamas tam tikras dažnių skaičius (dažniausiai  $2^k$ ).



1.2.3 pav.: Dažnių juostos ir laiko dalijimo FHSS principas (adaptuota iš [13]).

dar vienas FHSS privalumas: galimybė keliems prietaisams naudotis kanalu vienu metu. Bet tokie sprendimai reikalauja papildomo kanalo užimtumo nustatymo algoritmo, kad atsitiktinai



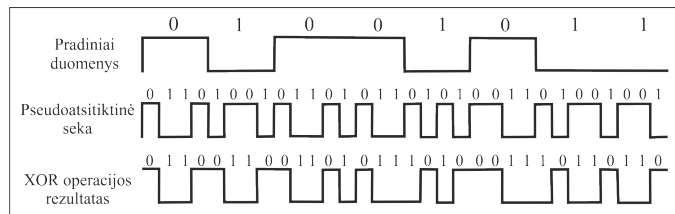
1.2.2 pav.: CDM multipleksavimo blokinė schema.

Atstumas tarp gretimų rezervuotų dažnių dažniausiai yra lygus į moduliatorių įeinančio signalo dažniui. Kiekvienas dažnis naudojamas tam tikrą pastovų laiko tarpą (pvz. IEEE 802.11 atveju 300 ms) ir tuo metu perduodamas tam tikras bitų skaičius.

Pseudoatsitiktinės sekos generatorius reikalingas naudojamo bangos ilgio indeksui gauti. Kiekviena sugeneruota  $k$  bitų aibė apibrėžia vieną iš  $2^k$  rezervuotų bangų ilgių. 1.2.3 pav. pavaizduotas

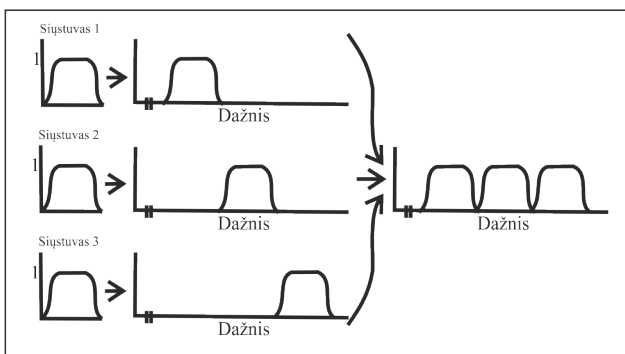
nesutaptų kelių siųstuvų dažniai.

DSSS atveju į moduliatorių pataikiamam signalui taikoma XOR operacija su pseudoatsitiktiniu kodu ir gautas rezultatas yra siunčiamas į kanalą. Signalas išplėtimas atsiranda dėl to, kad vienam įeinančiam informaciniam bitui gali būti taikomas k pseudoatsitiktinės sekos bitų, dėl ko dažnių juosta



1.2.4 pav.: DSSS signalo sudarymo algoritmas (adaptuota iš [14]).

išsiplėčia k kartų. DSSS signalo sudarymo pavyzdys yra pavaizduotas 1.2.4 pav. [15].

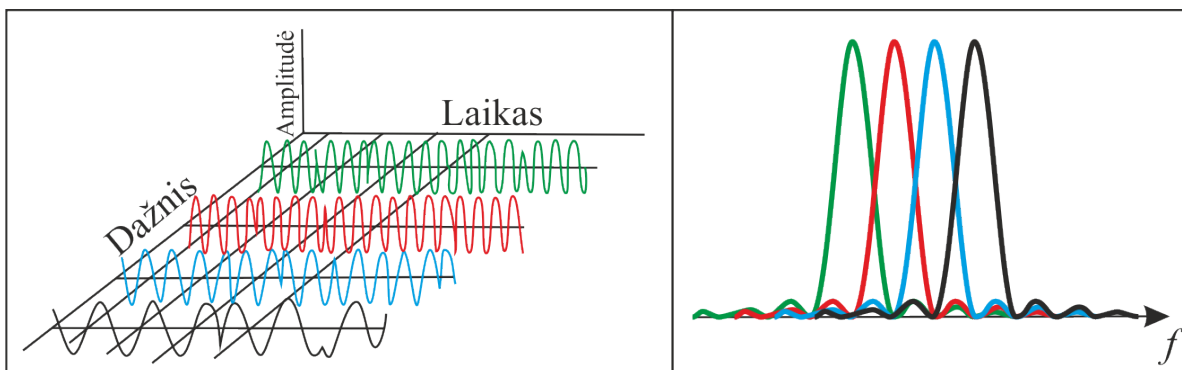


1.2.5 pav.: FDM signalo sudarymo algoritmas [13].

da paatsaugoti juos nuo tarpimbolinės interferencijos. Bendru atveju gaunamas labai plataus intervalo spektras kas telekomunikacijoje nėra privalumas.

Šis trūkumas yra išsprendžiamas OFDM (angl. Orthogonal Frequency Division Multiplexing) multipleksavimu. OFDM atveju naudojami pokanalčiai gali persikloti tarpusavyje, kadangi yra išlaikoma pokanalčių ortogonalumo sąlyga, kuri užtikrina, kad pokanalčiai neinterferuos tarpusavyje [16].

Pats populiariausias multipleksavimo tipas PLC technologijoje – dažninis multipleksavimas. FDM atveju leidžiama kanalo dažnių juosta  $\Delta F$  yra dalinama į kelias  $\Delta f$  atkarpas, kuriose yra formuojami atskiri pokanalčiai, kuriais gali būti siunčiami nepriklausomi vienas nuo kito duomenų paketai. Labai svarbu, kad tarp pokanalčių yra paliekamas tam tikras apsauginis intervalas, kuris padeda



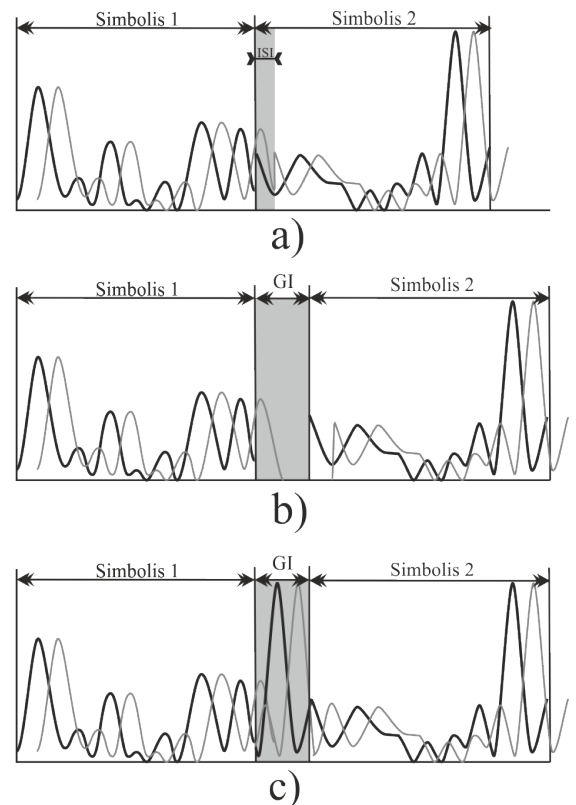
1.2.6 pav.: OFDM signalo sandara (kairėje) ir galios spektrinis tankis (dešinėje) [17].

Naudojama dažnių juosta yra dalinama į tam tikrą pokanalčių skaičių. Kiekvienam pokana-

liui skiriama tam tikra sekos dalis. Kiekviena pokanalio sekos dalis yra atskirai moduluojama ir po to visi moduluoti signalai yra sudedami. Sudėtis atliekama atvirkštinės greita Furjė transformacija (IFFT) [18].

Tarpsimbolinei interferencijai (angl. InterSymbol Interference - ISI) panaikinti naudojami apsauginiai intervalai (angl. Guard Interval - GI), kurie yra įterpiami kiekvieno simbolio pabaigoje. Apsauginio intervalo metu galima nieko nesiųsti (nulinis užpildas 1.2.7 pav. b). Toks OFDM perdavimas naudoja mažiau galios ir yra paprastesnis, bet gali atsirasti interferencija tarp pokanalių, nes gali būti neišlaikoma ortogonalumo sąlyga. Todėl daug dažniau naudojamas ciklinis prefiksas, kurį sudaro antro simbolio pabaiga (1.2.7). Tokiam OFDM sudarymui reikalingas papildomas buferis. Be to reikia nepamiršti, kad apsauginiai intervalai mažina pokanalio informacijos perdavimo greitį, tad apsauginio intervalo trukmė turi būti parenkama atsižvelgiant į poreikius. Bet kokių atveju, matavimai rodo OFDM moduliacijos pranašumą lyginant su vieno pokanalio moduliacijomis. Papildomo efektyvumo prideda adaptyvios OFDM moduliacijos naudojimas [19].

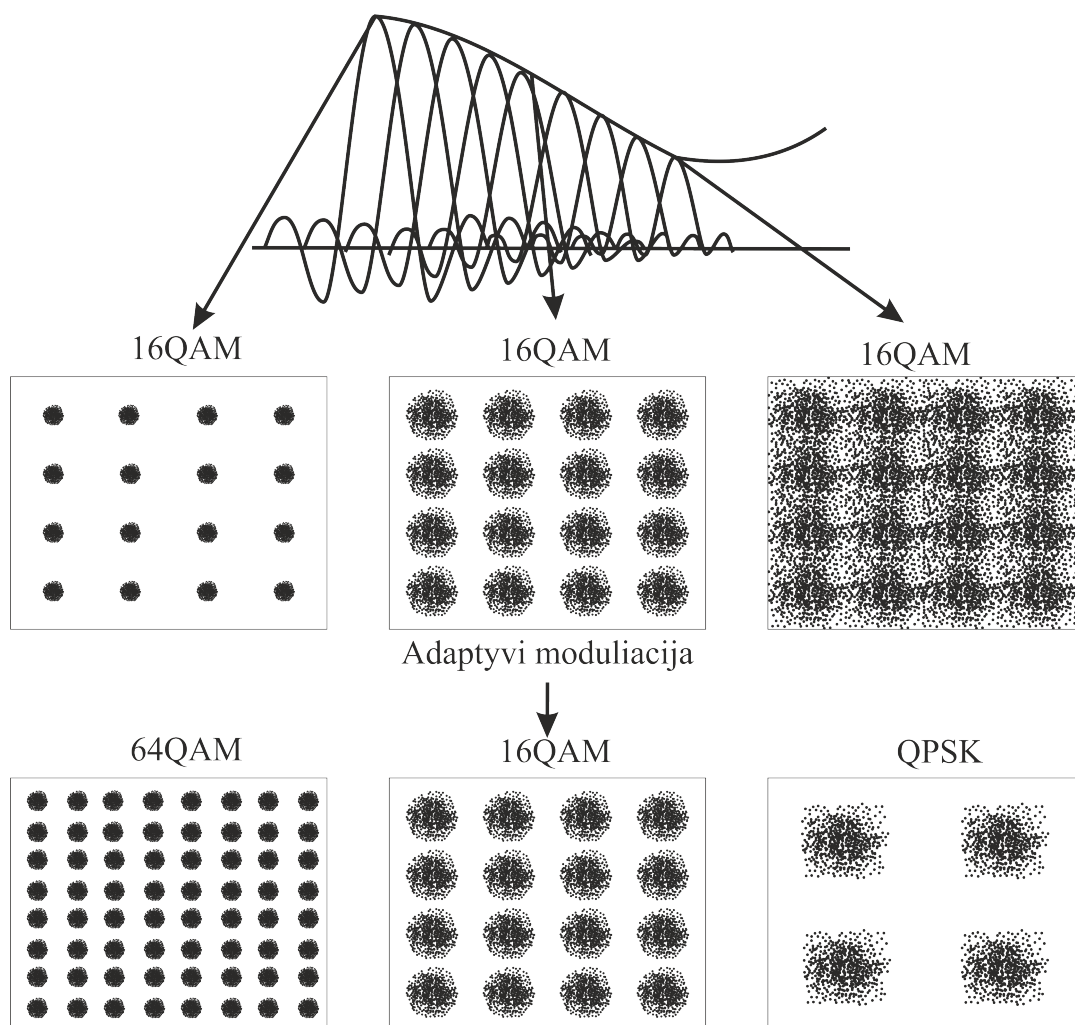
Kadangi moduliacijos metu pokanaliai yra nepriklausomi, jiems galima taikyti skirtingus moduliacijos tipus ir atitinkamai informacijos perdavimo greičius. Be to OFDM technologija leidžia naudoti ne visus jai išskirtus pokanalius, bet tik geriausius (atspariausius triukšmui). Tai vadinama adaptyvia OFDM moduliacija. Atsižvelgiant į pokanalio būsenos informaciją, (angl. Channel State Information – CSI) adaptyvios OFDM siųstuvas gali dinamiškai parinkti kiekvieno pokanalio moduliaciją, kad būtų pasiektas balansas tarp priimtinos klaidos tikimybės, pokanalio galios ir perdavimo greičio. Siųstuvas taiko adaptyvų informacijos perdavimą, atsižvelgdamas į gautą CSI, o imtuvas nustato CSI ir pagal minimalaus poveikio principą perduoda jį atgal siųstuvui. Sklandžios adaptyvaus OFDM veikimo sąlyga – tiksli ir laiku gauta informacija apie pokanalių būklę (CSI). Greitai slopančiose sistemose CSI yra dažniausiai gaunamas pavėluotai, tad pokanalių adap-



1.2.7 pav.: Apsauginio intervalo panaudojimo privalumai OFDM moduliacijos atveju (adaptyvuota iš [20]).

tacija gali būti neefektyvi. Tokiu atveju taikoma CSI prognozė siekiant kompensuoti trukmę reikalingą CSI perdavimui [20].

Adaptyvaus OFDM perdavimo nauda: tiek spektrinio, tiek energetinio našumo didinimas nekeičiant klaidos atsiradimo tikimybės. Adaptyvi moduliacija dažniausiai atliekama keičiant daugialygės pokanalio moduliacijos eilę ( $M$ ). Aukštesnės eilės moduliacijos ir mažesnės perdavimo galios gali būti taikomi pokanaliams su stipresniu dažniniu atsaku ir atvirkščiai. Toks principas yra pavaizduotas 1.2.8 pav. Yra sukurti skirtingi algoritmai geresniems perdavimo sistemos parametrams pasiekti. Pavyzdžiui [21] paminėtame algoritme pavyksta sutaupyti 5 – 10 dB perdavimo galios.



1.2.8 pav.: OFDM adaptacijos pavyzdys (adaptuota iš [20, 22]).

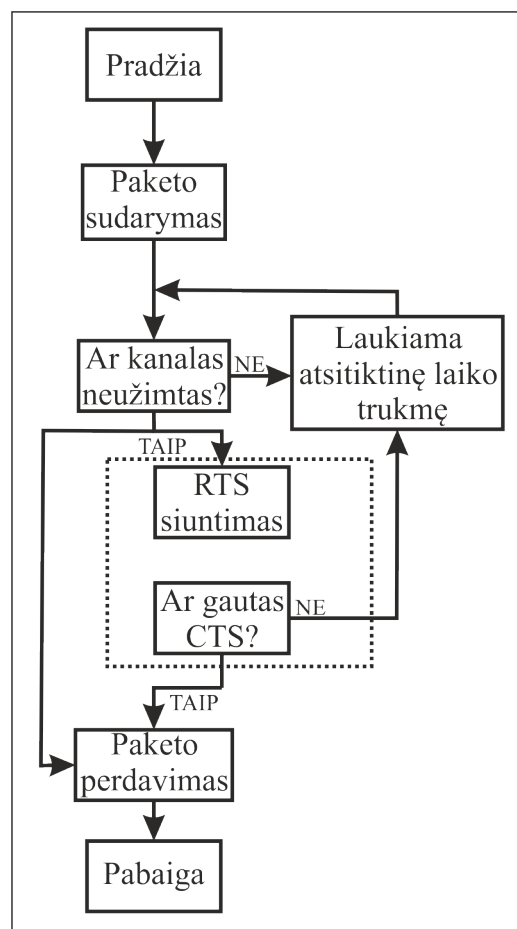
Kadangi, kaip pamatysime vėliau, nemaža dalis populiariausių PLC standartų informacijai perduoti naudoja OFDM moduliaciją, reikalingas sprendimas/protokolas, leidžiantis tinkle bendrauti dideliame prietaisų skaičiui. Vienas iš populiariausių protokolų – CSMA (angl. Carrier – Sense Multiple Access). Siųstuvai, veikiantys CSMA protokolu, prieš siuntimą bando nustatyti kanalo užimtumą ir jeigu pasitvirtina, kad kanalas yra užimtas, siuntimas atideda-

mas tam tikrai laiko trukmei. Pagal siųstuvo elgesį gavus kanalo užimtumo signalą, CSMA gali būti padalintas į kelis priegios tipus: 1 – atkaklus, neatkaklus (0 CSMA), P – atkaklus ir O – atkaklus.

Sudėtingesniuose tinkluose, siekiant padidinti perdavimo našumą ir išvengti transliacinės audros (atvejis, kai į kanalą yra siunčiami keli atviri paketai, kurie yra retransliuojami ir sudariko viso tinklo veikimą), naudojami modifikuoti CSMA/CD (angl. Carrier – Sense Multiple Access with Collision Detection) ir CSMA-CA (angl. Carrier – Sense Multiple Access with Collision Avoidance) protokolai.

CSMA-CD protokolo atveju, informacijos siuntimas yra nutraukiamas iš karto pastebėjus susidūrimą, tad sumažėja laikas iki kito perdavimo bandymo. Šio protokolo trūkumas – neišspręsta „paslėptojo mazgo“ problema, kai tinkle vienas prietaisas nemato prietaisų, esančių už jo perdavimo atstumo, tad akivaizdu, kad negali reaguoti į jo siunčiamus kanalo užimtumo signalus. Ši problema neiškyla CSMA-CA protokole, kadangi yra įdiegta RTS/CTS (angl. Request To Send / Clear To Send) sistema [23].

CSMA-CA atveju, jei prieš perduodant duomenys nustatoma, kad kanalas yra užimtas, siuntimas atidedamas tam tikrai atsitiktinei trukmei. Atsitiktinis uždelsimas sumažina tikimybę, kad du mazgai pradės perdavinėti signalą vienu metu, tad sumažėja susidūrimo tikimybė. CSMA-CA protokolas yra labai plačiai naudojamas PLC standartuose (veikimo algoritmas pavaizduotas 1.2.9 pav.).



1.2.9 pav.: CSMA/CA veikimo algoritmas

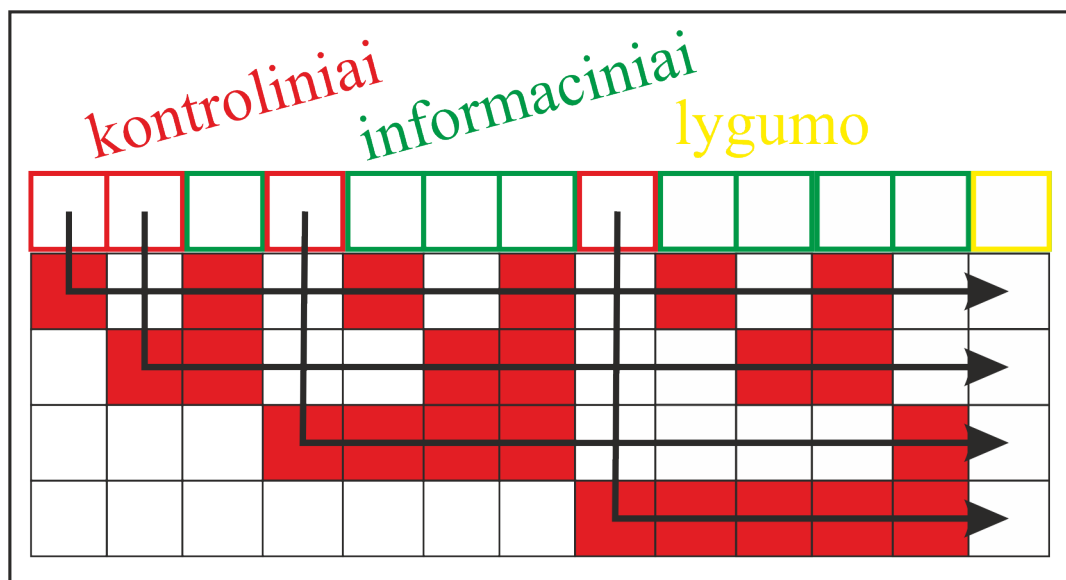
### 1.3 Klaidos kanale atsiradimo ir mažinimo būdai

Telekomunikacijoje, ypač PLC technologijos informacijos perdavimo įrenginiuose, be galo sunku yra nuspėti atsitiktinių triukšmų įtaką perduodamam signalui, dėl skirtingų šalyse galiojančių standartų ir elektros tinklų topologijos. Tam, kad atsirastų galimybė ištaisyti informaciją, kuri buvo sugadinta perdavimo galios linija metu, naudojamos skirtingo sudėtingumo kodavimo procedūros. Taip pat populiarūs yra specialūs algoritmai, kurių dėka sumažinama

klaidos atsiradimo tikimybė. Šiame skyriuje bus trumpai pristatytos PLC standartų analizės metu sutikti kodavimo ir klaidos tikimybės mažinimo algoritmai.

### 1.3.1 Korekciniai kodai

Korekciniai kodai gali būti skirstomi į blokinius, kai prie paskirstyto į blokus pranešimo pridedami kontroliniai ženklai, ir tolydžiuosius, kai informacijos skiltys nedalinamos į blokus. Vienas iš paprasčiausių bei populiariausių blokinių korekcinio kodo sudarymo metodų – CRC (Cyclic Redundancy Check) kodai. Tokio kodavimo metu naudojama polinominė dalyba. Informacinis žodis paverčiamas į polinomą ir dalinamas iš tam tikro tiek siųstuvui, tiek imtuvui žinomo polinomo, o dalybos liekana naudojama kaip korekcinis kodas. Imtuve procedūra pakartojama ir jei liekana nesutampa, reiškia perdavimo metu įsivėlė klaida. Kodavimas žymimas kaip CRCX, kur X – informacijos žodžio ilgis, kuris reikalingas vienetiniam kodavimui. CRC kodavimo trūkumas – imtuvas negali nei ištaisyti, nei parodyti tikslią klaidos vietą, tad gavus neteisingą kodinį žodį, jo perdavimą teks pakartoti [24,25].



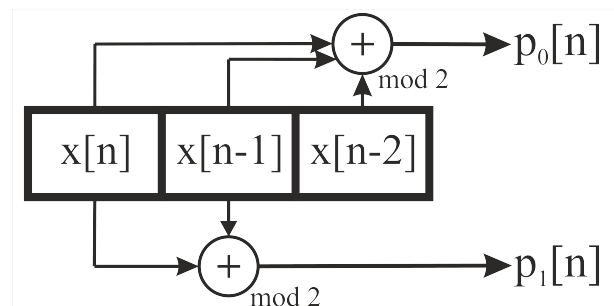
1.3.1 pav.: 8 bitų informacinio žodžio kodavimo Hemingo kodu pavyzdys.

Kitas blokinių korekcinio kodo sudarymo metodas – Hemingo kodavimas. Visi kodo bitai, kurių eilės numeris yra dvejetainis laipsnis laikomi kontroliniais, o likusieji – informaciniais. Kiekvienas kontrolinis bitas yra atsakingas už tam tikros, jam priskirtos informacijos bitų grupės (skaičiuojamas grupės narių sumos lyginumas). Be to, kiekvienas informacijos bitas gali būti priskirtas prie kelių grupių, tad vienas informacijos bitas gali įtakoti kelis kontrolinius, taip padidindamas kodavimo efektyvumą. Jei kodinio žodžio perdavimo metu buvo padaryta viena klaida, Hemingo kodavimas leidžia ne tik pastebėti klaidos atsiradimo faktą, bet ir ištai-

syti atsiradusią klaidą (nesutapusių kontrolinių bitų padėčių suma atitinka klaidingai priimto bito vietą sekoje). Šis dekodavimo algoritmas veiks nepriklausomai nuo to klaidingai buvo perduotas informacijos ar kontrolinis bitas. Didžiausias trūkumas, kad naudojantis Hemingo kodavimu, įmanoma atpažinti tik vieną klaidą. Pridėjus papildomą lyginumo bitą atsiranda galimybė papildomai atpažinti (bet neištaisyti) dvi klaidas. Kadangi Hemingo koduotės efektyvumas viršija 90% tik kai bloko dydis 128 bitai, toks kodavimo metodas gali būti taikomas tik labai netriukšminguose (aukšto SNR) kanaluose [26]. Hemingo kodavimo pavyzdys 8 bitų informaciniam žodžiui yra parodytas 1.3.1 pav.

Triukšmingiems kanalams dažnai naudojamas Rydo – Solomono (RS) kodavimas. Pagrindinė RS kodavimo mintis: informacinis žodis, pavaizduotas polinomo  $D$  pavidalu yra dauginamas iš pirminio generuojančio polinomo  $G$  (kuris yra žinomas tiek imtuvui, tiek siųstuvui), o gautas kodinis žodis  $C$  polinominiu pavidalu siunčiamas į kanalą. Dekodavimas vyksta atvirkščiai: priimtas kodinis žodis  $C$  dalinamas iš polinomo  $G$  ir jei dalybos metu gaunama nulinė liekana, reiškia, kad kodinis žodis buvo perduotas be klaidos. Jei generuojančio polinomo laipsnis viršija kodinio žodžio laipsnį bent dviem eilėmis, tai dekoderis gali ne tik atpažinti, bet ir taisyti pavienes klaidas. Kiekvienai kodinio žodžio klaidai ištaisyti reikalingi 2 papildomi bitai, tad toks kodo efektyvumas yra pakankamai aukštas. Toks efektyvumas pasiekiamas, nes kodiniai simboliai kontroliuoja ne tik prieš juos esančius informacinius simbolius (kaip Hemingo kode), bet visų informacinių bitų seką. Didžiausia RS kodavimo problema - paprastos aritmetikos netinkamumas, kadangi RS kodavimas, paremtas polinominė aritmetika turi atlikinėti sudėties, atimties, daugybos ir dalybos veiksmus, neviršijant nustatytos skaitmenų ribos ir be apvalinimų (tai įvestų papildomus netikslumus). Todėl korekciniai kodai paremti RS kodavimu operuoja polinominėmis operacijomis Galua laukuose. RS kodavimas vaizduojamas kaip  $RS[a,b]$ , kur  $a$  - bloko dydis,  $b$  – informacijos bitų skaičius viename bloke [27,28].

Kita pakankamai dažnai sutinkama informacijos kodavimo rūšis – konvoliuciniai kodai, kurių struktūra panaši į prieš tai nagrinėtų blokinių kodavimo algoritmų struktūrą. Pagrindinis skirtumas yra tas, kad jeigu blokinių kodavimo atveju tarp informacijos simbolių buvo įterpiami kodiniai simboliai, tai konvoliucinio kodavimo atveju į kanalą siunčiami tik kodiniai simboliai ( $r$ ). Kodiniai simboliai apskaičiuoja-



1.3.2 pav.: Konvoliucinio (2,1,3) kodavimo algoritmas [29].

mi koderiuose, naudojant paprastą poslinkio registrą, kombinuojant skirtingus pogrupio bitus (mod2 sudėtis). Vienu metu įskaitomų bitų skaičius vadinamas konvoliucinio kodo pakopa (K) ir nusako kodavimo sudėtingumą. Didesnis pakopos skaičius nulemia mažesnį kodavimo efektyvumą, bet leidžia taisyti daugiau klaidingų bitų, tad parenkamas tam tikras kompromisas. Konvoliucinio kodavimo parametrai dažniausiai vaizduojami  $(n,k,m)$  arba  $(n,k,K)$  pavidalu, kur  $n$  – išėjimo bitų skaičius,  $k$  – įėjimo bitų skaičius,  $m$  – registrų skaičius, o  $K=k(m-1)$  – konvoliucinio kodo pakopa. Bet kokių parametrų konvoliucinį kodavimą galima pavaizduoti pasinaudojant generuojančiu polinomu arba kodinių bitų lygčių sistema, kuri nusako kaip yra suformuojami siunčiamo kodinio žodžio bitai. 1.3.2 pav. pavaizduotam koderiui lygčių sistema atrodoys taip:

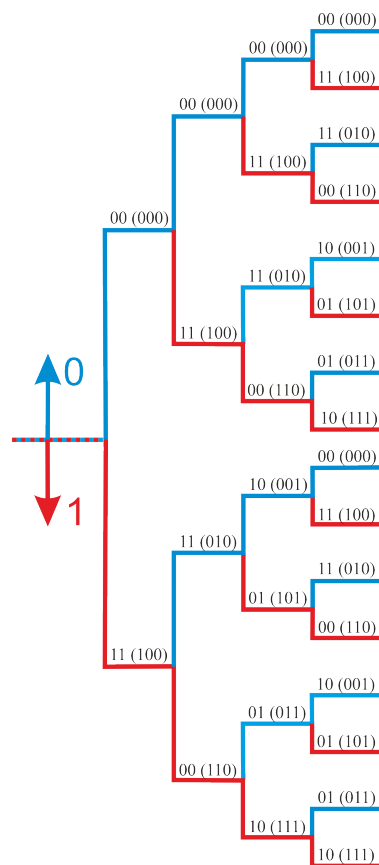
$$\begin{cases} p_0[n] = x[n] + x[n-1] + x[n-2] \\ p_1[n] = x[n] + x[n-1] \end{cases}, \quad (1.3.1)$$

o generuojančio polinomo koeficientai  $g_0 = (1, 1, 1)$  ir  $g_1 = (1, 1, 0)$  [29].

Konvoliucinio kodavimo paprastesniam suvokimui dažniausiai naudojami du atvaizdavimo būdai: blokinė diagrama, kurioje parodomas kodavimo mechanizmas su poslinkio registrais ir jų ryšiais bei mašinos būsenų grafikas, kuris parodo koderį kaip būsenų rinkinį su aprašytais perėjimais. Mašinos būsenų grafikas yra ypatingai naudingas norint suprasti dekodavimo procesus.

Dekodavimo algoritmams paaiškinti naudojamos konvoliucinės grotelės, kurios parodo sistemos kitimą laike. Kiekvieną grotelės eilutę sudaro būsenų aibė, kur kiekvienas aibės narys sujungtas su sekančios eilutės dvejomis būsenomis (su tomis pačiomis kaip ir mašinos būsenų grafike). Viršutinis ryšys parodo būsenos perėjimą, kai sistema gauna '0', o apatinis kai '1'.

Kadangi dažniausiai kanalu siunčiama žinutė dėl skirtingų priežasčių pakinta, tad imtuvas priima klaidingą žinutę. Pagrindinis imtuvo tikslas: surasti geriausiai tinkančią siųstuvo būsenų seką. Tam galima būtų naudoti ties-

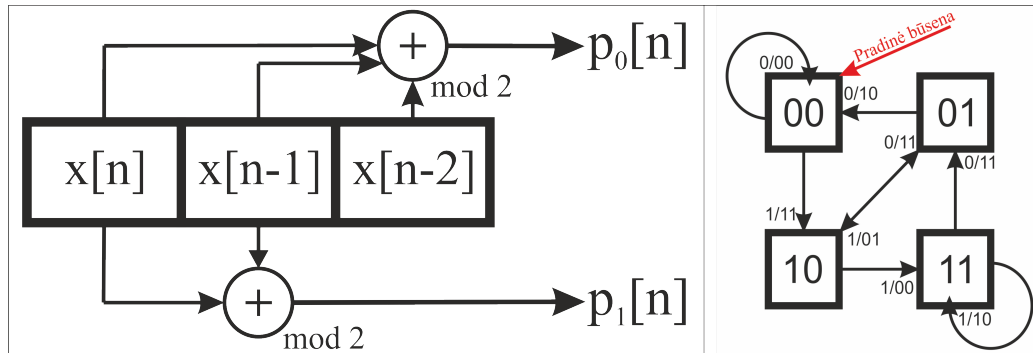


1.3.3 pav.: Mašinos būsenos grafikas kodinio medžio pavidalu [30].

muką metodą, lyginant visų leidžiamų kombinacijų ir priimtos kombinacijos Hemingo nuotolius ir pasirenkant kombinaciją su mažiausiu Hemingo nuotoliu. Bet paprasčiausi skaičiavimai pa-

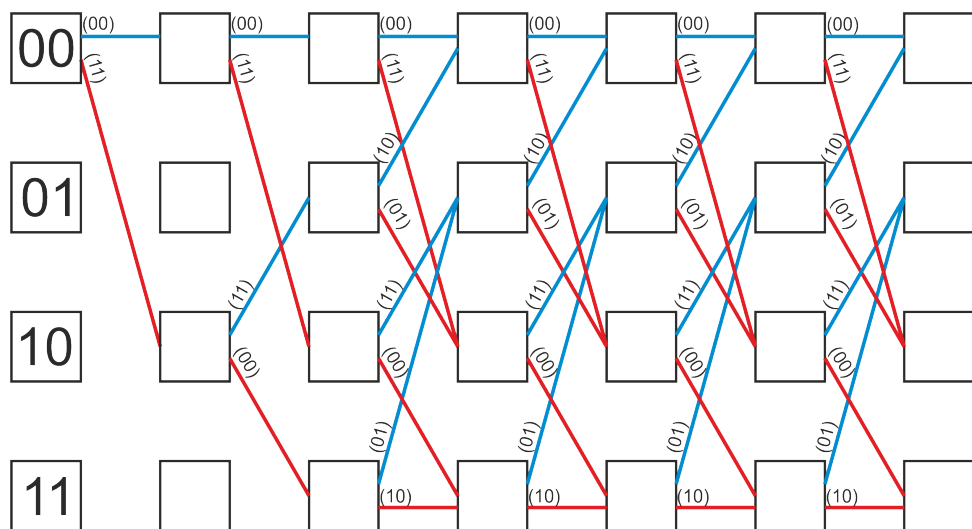


rodo, kad net ir mažo ilgio kodiniams žodžiams leidžiamų kombinacijų yra labai daug, tad toks dekodavimo metodas yra labai neefektyvus. Būtent dėl to, kad ilgą laiką nebuvo surastas priimtino efektyvumo dekodavimo metodas, konvoliuciniai kodai nebuvo naudojami. Dabar šita problema yra sprendžiama Viterbi arba Fano dekodavimo algoritmais [30].



1.3.4 pav.: Mašinos būsenos blokinės diagramos pavyzdys (kairėje) ir perėjimų būsenos diagrama (dešinėje) [29].

Pagrindinė Viterbi dekodavimo algoritmo idėja: pažingsniui palyginti visus konvoliucinės diagramos kelius, lyginant juos tarpusavyje ir atmetant mažiausiai tikėtinus. Keliai yra sekami kol du keliai nesusijungia į vieną. Kelias su didesne metrika paliekamas, o su mažesne atmetamas. Tada kiekvieno žingsnio palyginimo metu atmetama pusė iš  $2^m$  galimų kelių, taip pasiekiant daug didesnį efektyvumą. Didžiausias Viterbi algoritmo trūkumas: jei klaidos atsiradimo tikimybė eksponentiškai mažėja didėjant  $m$ , tai kodinių būsenų skaičius, o reiškia ir dekoderio sudėtingumas, eksponentiškai didėja. Su šita problema nesusiduriama nuosekliuose dekodavimo algoritmuose, pavyzdžiui Fano algoritme [31].



1.3.5 pav.: Konvoliucinės grotelės pavyzdys [29].

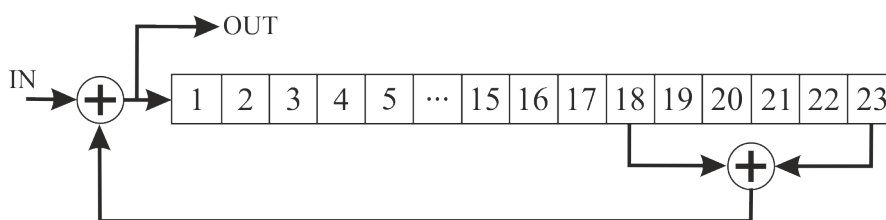
Fano algoritmo metu pasirenkamas kelias konvoliucinėje gardelėje, kuris hipotetiškai atstoja priimtą žinutę, ir kuriam skaičiuojama metrika lyginant su gautąja žinute. Procedūra

kartojama, kol apskaičiuota metrika nepatvirtins hipotetinio kelio teisingumo arba jei kelias nepasitvirtina, pasirenkamas naujas kelias, kol nebus surastas labiausiai priimtinas. Pažymima, kad nuosekliuose dekodavimo algoritmuose galimas judėjimas konvoliucine gardele tiek pirmyn, tiek atgal.

### 1.3.2 Klaidų atsiradimo tikimybės mažinimo algoritmai

Jeigu tam tikru atveju kodiniame žodyje atsiranda daug iš eilės einančių, to paties ženklų bitų, imtuve gali atsirasti sinchronizacijos problemos ir dėl to kodinis žodis gali būti neteisingai priimtas. Telekomunikacijoje ši problema sprendžiama skrembliavimu (angl. scrambling). Skrembliavimo metu atliekama kodinio žodžio binarinė sudėtis (XOR) su specialiu skrembliuojančiu signalu. Skrembliavimo signalas (pseudoatsitiktinė seka) yra generuojamas skrembleryje ir pakeičia pradinį kodinį žodį į pseudoatsitiktinį su binominaliniu atsiradimo tikimybės skirstiniu ('0' ir '1' turi vienodą atsiradimo tikimybę sekoje). Išskiriami du skremblerio tipai: sumavimo ir daugybos [32].

Daugybos skremblerio blokinė schema pavaizduota 1.3.6 pav. Pagrindinis tokio skremblerio elementas - pseudoatsitiktinės sekos generatorius, kuris realizuojamas  $n$  kaskadinio registro su grįžtamuju ryšiu pagalba ir gali suformuoti  $2^n - 1$  seką. Daugybos skremblerio išeiga yra valdoma skrembliuojama seka. Todėl šiam skremblerio tipui nereikalingi papildomi skremblerio ir deskremblerio būsenų registrai. Skrembliuojamoji seka yra įrašoma į skremblerio ir deskremblerio poslinkio registrus. Jei sinchronizacija yra prarandama jos atstatymas neviršija registro skilčių taktų skaičiaus.

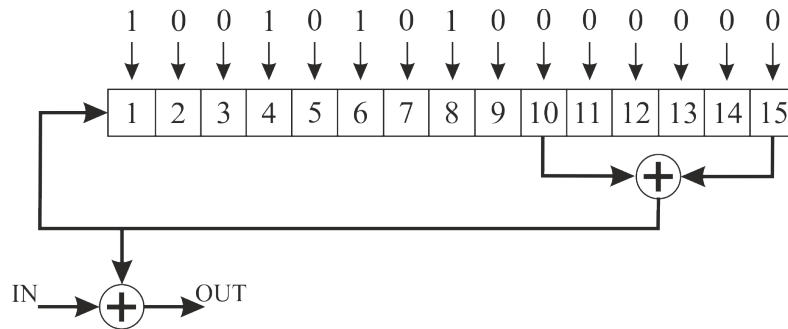


1.3.6 pav.: Daugybos skremblerio blokinė schema (adaptuota pagal [11]).

Didžiausias daugybos skremblierių trūkumas – klaidos dauginimo efektas. Taip vienas neteisingai priimtas bitas nulems dar  $k$  klaidingai interpretuotų bitų ( $k$  — ryšių deskrembleryje skaičius). Klaidos dauginimo efektas riboja didžiausią leidžiamą ryšių skaičių, kuris retai viršija  $k=2$ . Kitas daugybos skremblerio trūkumas susijęs su „kritinės situacijos“ atsiradimu, kai išeinančioji seka yra periodinė ir periodas yra mažesnis už pseudoatsitiktinės sekos periodą. Šio trūkumo išvengiama, diegiant papildomas schemas, kurios nustato periodiškumą ir jį panaikina.

Adityvaus skrembliavimo atveju būtina išankstinė skremblerio ir deskremblerio registrių

sinchronizacija. Kaip ir daugybės skrembleriuose, vyksta jėjimo signalo sudėtis su pseudoatsitiktinę seką, bet gauta seką nėra paduodama į registrus (žr. 1.3.7). Deskrembleriuose priimtas signalas taip pat nepatenka į registrus, tad panaikinama klaidos dauginimo efekto galimybė. Adityviuose skrembleriuose sekos elementai yra nepriklausomi, todėl periodas visada lygus jėjimo signalo periodų mažiausiam bendram kartotiniui, tad „kritinės situacijos“ būti negali. Šie du adityvių skremblerių privalumai nulėmia jų taikymų populiarumą lyginant su daugybės skrembleriais.

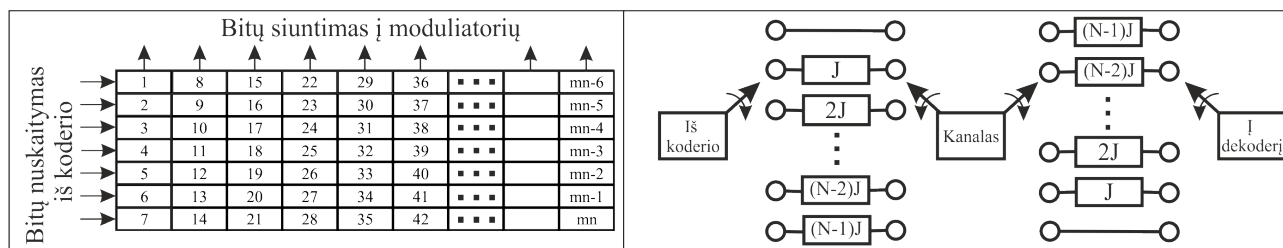


1.3.7 pav.: Adityvaus skremblerio blokinė schema (adaptuota pagal [11]).

Kitas pakankamai efektyvus ir dažnai naudojamas klaidų atsiradimo tikimybės mažinimo metodas: perstatymas (angl. interleaving). Metodas naudojamas tam, kad kodiniame žodyje sumažėtų tikimybė atsirasti iš eilės einančioms klaidoms. Kadangi didžioji dalis kodavimo būdų negali ištaisyti iš eilės einančias klaidas, kodinio žodžio bitai yra perstatomi vietomis pagal tam tikras taisykles, o vėliau dekoderyje (kuriam šios taisyklės yra žinomos) atstatomas pradinis kodinio žodžio eiliškumas. Sudėtingesnėse sistemose galimas ne tik bitų, bet ir baitų arba blokų perstatymas [30].

Išskiriami dviejų tipų perstatytojai: blokinės struktūros ir konvoliucinės. Blokiniai perstatytojai iš koderio priima kodinių simbolių blokus, perstato juos ir perduoda moduliatoriui. Blokinio interleaverio veikimą paprasčiausia paaiškinti matrica, kuria sudaro  $M$  eilučių ir  $N$  stulpelių (žr. 1.3.8 pav. kairėje). Bitų įrašymas į matricą vyksta pildant stulpeliais, o siunčiant į moduliatorių, matrica nuskaitoma eilutėmis, kol matrica neištuštės. Todėl, jei į perstatytojo jėjimą paduotas paketas, kurį sudaro mažiau nei  $N$  klaidų iš eilės, perstatytojo išeigoje šios klaidos bus išskirtos bent  $M$  simbolių tarpu. Jei paduodamas paketas, kuriame iš eilės einančių klaidų skaičius  $bN$  ( $b > 1$ ), kiekvienas klaidų paketas bus atskirtas daugiau nei  $M \cdot b$  taisyklingų simbolių. Vienintelis trūkumas, kad reikalingas tam tikras laiko tarpas, kol matrica bus užpildoma po paketų išsiuntimo į moduliatorių.

Konvoliuciniame perstatytojuje užpildymo pauzės problema yra išspręsta. Kodiniai simboliai nuosekliai perduodami į  $N$  registrų bloką ir kiekvienas sekantis registras gali saugoti  $J$



1.3.8 pav.: Blokinio (kairėje) ir konvoliucinio (dešinėje) perstatytojo schema (adaptuota pagal [30]).

simbolių daugiau nei prieš tai buvęs (žr. 1.3.8 pav. dešinėje). Nulinis ( $i=0$ ) registras persiunčiamas į kanalą iš karto. Kiekvienas naujas simbolis yra paduodamas į sekantį registrą, kol senas registro simbolis nebus perduotas į moduliatorių [30].

## 1.4 Trumpa PLC standartų apžvalga

Nors PLC technologija buvo žinoma pakankamai senai, vis dar nėra vieno standarto, kuris apjungtų visus PLC modulių gamintojus. Kadangi nemažas kiekis analizuotų PLC sistemų gamintojų parduoda tik galutinį produktą (sistemą, kuri yra sudaryta iš pagrindinio valdymo bloko ir PLC valdomų maitinimo šaltinių) ir nenumato galimybės jungtis su kitais produktais, labai dažnai nėra nurodomas nei įrenginyje naudojamas PLC integrinis grandynas, nei naudojamas PLC standartas. Todėl šiame skyriuje pristatomi 5 PLC standartai, kurie buvo išrinkti atsižvelgiant į jų populiarumą ir analizės metu gautą informaciją [33–37].

1.4.1 lentelė: PLC standartus apibendrinanti lentelė.

Standartas	Prime	G3-PLC	IEEE 1901.2	LonWorks	HomePlug C&C
Kanalo moduliacija	aOFDM	aOFDM	aOFDM	DSSS	DCSK
Kanalu/pokanaliu skaičius	8/97	1/36	1/36	1/1	1/1
Pokanalių žingsnis (Hz)	488	1656	1562	X	X
Pokanalių moduliacija	DBPSK, DQPSK, D8PSK	DBPSK, DQPSK	DBPSK, DQPSK, D8PSK	BPSK	DCSK
Kodavimo technologijos	CRC; konvoliucijos*; skrembliavimas; pakartojimas*; interleaving;*	RS; konvoliucinis; perstatymas; pakartojimas;**	CRC; RS; skrembliavimas; konvoliucinis;	Pariteto bitas;	CRC8; CRC16; perstatymas;

\* Veikia tik įjungus papildomą išankstinį klaidų taisymo algoritmą.

\*\* Veikia tik patikimu režimu.

Visi PLC prietaisai ir standartai Europoje privalo veikti CENELEC A standarto nu-

matytoje dažnių juostoje (nuo 3 kHz iki 95 kHz), bet didžioji dalis standartų naudoja net siauresnes dažnių spektro juostas. Didžioji dalis standartų apibrėžia tik OSI 1 (PHY) ir 2 OSI lygmens (MAC) dalis [12]. Tai reiškia, kad standarte yra nurodomi paketo struktūra, paketo dalių kodavimo procedūra, paketo moduliacijos principai bei paketų, užtikrinančių dalinimąsi kanalų, sandara.

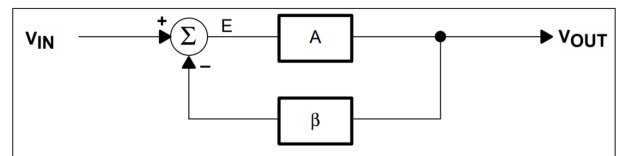
1.4.1 lentelėje pavaizduoti principiniai skirtumai tarp analizuotų standartų. Reikia atkreipti dėmesį, kad IEEE P1901.2 standartas numato PRIME bei G3-PLC standartų palaikymą, bet tų standartų pagrindu veikiantys prietaisai nepalaiko vienas kito arba P1901.2 standartą [39–44].

## 1.5 Sinuso bangos osciliatorių apžvalga

Atsižvelgiant į populiariausius PLC standartus, siekiama realizuoti fazinės moduliacijos PLC siųstuvą / imtuvą. Akivaizdu, kad yra būtinas moduluojamos bangos osciliatorius. Šiame skyriuje bus trumpai pristatyti populiariausi operacinio stiprintuvo pagrindu veikiantys generatoriai. Darbo metu buvo siekiama gauti sinuso bangos osciliatorių, tad šioje dalyje nebus nagrinėjami stačiakampių ar kitų formų bangų osciliatoriai. Kadangi buvo siekiama palikti galimybę paprastai keisti generuojamos bangos dažnį, labai greitai teko atsisakyti kvarcinio rezonatoriaus pagrindu generuojančių osciliatorių, tad šiame skyriuje jie irgi nebus aptariami.

Operacinio stiprintuvo pagrindu veikiantiems sinusoidiniams stiprintuvams nereikalingas papildomas įvesties signalas. Tokiame grandyne naudojama tam tikra teigiamo ir neigiamo grįžtamojo ryšio kombinacija, siekiant destabilizuoti operacinį stiprintuvą ir priversti išėjimo signalą svyruoti tam tikru dažniu (dažnis daugiausiai priklauso nuo pasyvių komponentų kombinacijos ir verčių) ir operacinio stiprintuvo maitinimo įtampos amplitudė.

Pasinaudojus 1.5.1 pav. pavaizduotu kanoniniu operacinio stiprintuvo su neigiamu arba teigiamu grįžtamoju ryšiu modeliu (paveiksle  $V_{OUT}$  – išėjimo įtampa iš operacinio stiprintuvo su stiprinimu  $A$ ,  $\beta$  – grįžtamojo ryšio faktorius, o  $E$  – sumatorius), atlikus nesudėtingus matematinius veiksmus gaunama tipinė grįžtamojo ryšio lygtis



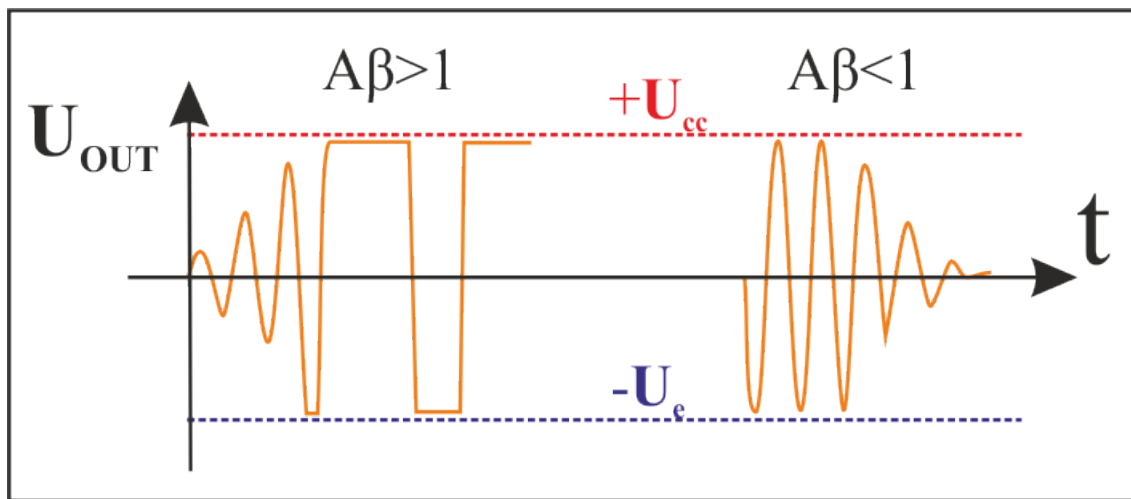
1.5.1 pav.: Kanoninis OS su teigiamu arba neigiamu grįžtamoju ryšiu modelis [45].

$$\frac{V_{OUT}}{V_{IN}} = \frac{A}{1 + A\beta}. \quad (1.5.1)$$

Pagrindinė osciliatoriaus savybė – operacinio stiprintuvo nestabilumas, kas reiškia, kad 1.5.1

lygties vardiklis lygus 0. Iš šios sąlygos gauname, kad

$$A\beta = -1. \quad (1.5.2)$$



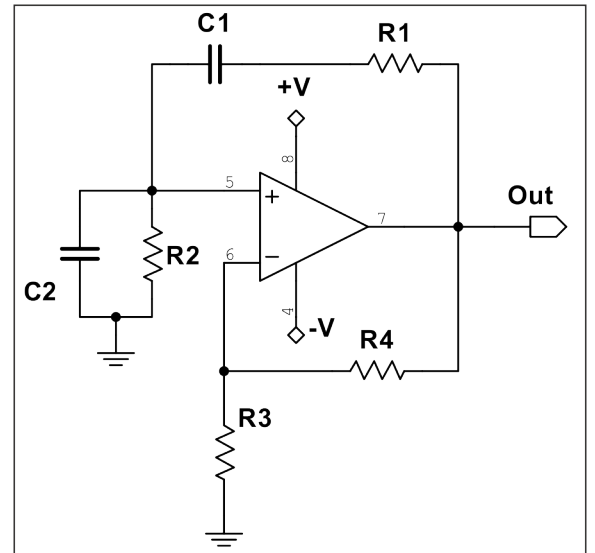
1.5.2 pav.: Barkhauseno kriterijaus sąlygos neišpildymo pasekmės.

1.5.2 lygtis vadinama Barkhauseno kriterijumi ir yra pagrindinė osciliatoriaus svyravimus užtikrinanti lygtis, operacinio stiprintuvo pagrindu veikiantiems generatoriams [45]. Lygtis reiškia, kad grandyno stiprinimas turi būti lygus 1 su  $180^\circ$  fazės poslinkiu (į tai nurodo „-“ ženklas) neigiamajam grįžtamajam ryšiui arba  $0^\circ$  teigiamajam. Jei stiprinimas bus didesnis už vieneta, pasireikš kvazistačiakampių bangų generaciją (1.5.2 pav. kairėje), o jei mažesnis, svyravimai tiesiog nuslops (1.5.2 pav. dešinėje). Praktikoje, kad operacinis stiprintuvas pradėtų generuoti norimo dažnio sinusoide, pradžioje reikalingas šiek tiek didesnis nei 1 stiprinimas, dėl kurio vėliau atsiranda iškraipymai. Šiuos iškraipymus ir stiprinimo pokyčius dėl temperatūrinių efektų arba komponentų neidealumo galima panaikinti, pridedant papildomus netiesinius komponentus (pvz. diodus) automatiniam stiprinimo valdymui (angl. automatic gain control – AGC) [46].

Egzistuoja daug skirtingų osciliatorių grandynų sprendimų. Šio darbo ruošimo metu buvo bandomos kelios paprasčiausios topologijos, ieškant geriausiai dažnį išlaikančio osciliatoriaus, komponentų skaičiaus bei kainos balanso. Literatūros apžvalgos dalyje bus išsamiau nagrinėjamas galiausiai pasirinktas Vyno tiltelio pagrindu veikiantis osciliatorius, ir trumpai paminėtos kelios kitos bandytos topologijos.

Vyno tiltelio pagrindu veikiantis osciliatorius yra viena iš paprasčiausių ir populiariausių osciliatorių topologijų. Tokio pagrindo tiltelis pasižymi geru dažniniu stabilumu, bet egzistuoja tam tikros iškraipymo suvaldymo problemos (keli sprendimai bus pateikti vėliau).

Veikimo principas paremtas teigiamo ir neigiamo ryšio operaciniame stiprintuve panaudojimu (Vyno tiltelis yra įterpiamas į teigiamąjį ryšį). Vyno tiltelio funkciją galima lyginti su juostiniu filtru, kadangi jis sustiprina tam tikrą (nuo komponentų verčių priklausantį) rezonansinį dažnį. Paprasčiausio Vyno tiltelio oscilatoriaus (neinvertuojanti kombinacija) schema pavaizduotas 1.5.3 pav.



1.5.3 pav.: Vyno oscilatoriaus grandyno schema [45].

Tokio grandyno perdavimo funkcija

$$\frac{V_{OUT}}{V_{IN}} = \frac{R_2 C_1}{R_1 C_1 + R_2 C_2 + R_2 C_1}. \quad (1.5.3)$$

Generuojamos sinusoidės dažnis ( $R_1 = R_2 = R$  ir  $C_1 = C_2 = C$  atveju)

$$f = \frac{1}{2\pi RC}. \quad (1.5.4)$$

Atsižvelgiant į Barkhauseno kriterijų

$$2R_3 = R_4, \quad (1.5.5)$$

kas reiškia, kad stiprinimas turi būti lygus 3.

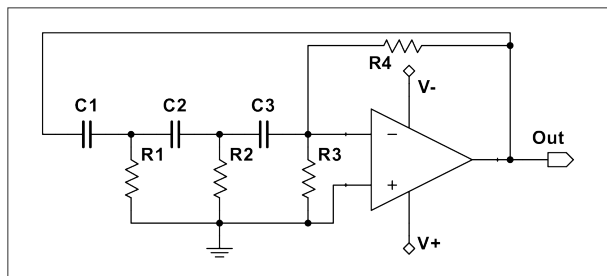
Vienas iš senesnių AGC sprendimų naudoti kaitrinę lemputę vietoj  $R_3$  varžos. Kaitrinė lempa – netiesinis komponentas: tik įjungus, lemputė dar šalta, tad jos varža mažesnė ir mes turime  $>3$  stiprinimą. Kai lempa įkaista, varža padidėja ir stiprinimas stabilizuojasi. Tokiu būdu iškraipymus galima sumažinti keliasdešimt kartų. Moderniuose grandynuose naudojami atvirkščiai įjungtų diodų pora, įjungta lygiagrečiai su  $R_4$  varža.

Fazės poslinkio oscilatoriaus iškraipymai, lyginant su Vyno oscilatoriumi be AGC, yra daug mažesni (palyginami Vyno + AGC atveju). Reikiama fazės poslinkį užtikrina RC kaskadai. Fazės poslinkio oscilatoriaus sinusoidės dažnis apskaičiuojamas pagal

$$f = \frac{1}{2\pi RC\sqrt{2N}} \quad (1.5.6)$$

formulę, kur  $N$  – kaskadų skaičius. Fazės poslinkio oscilatoriaus trūkumas: stiprinimo koefi-

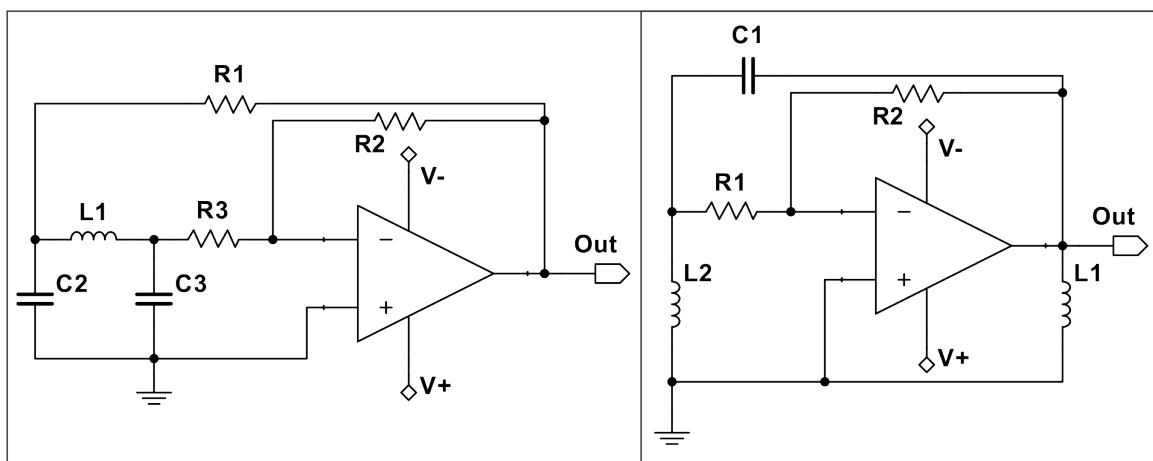
cientas 29, kas reiškia, kad reikalinga didesnė vienetinio stiprinimo dažniams stiprinimo juosta (angl. Gain–Bandwidth Product – GBW), kas reiškia, kad padidės naudojamo operacinio stiprintuvo kaina. Be to, fazės poslinkio osciliatorius yra stipriau veikiamas neišvengiamo komponentų verčių išsibarstymo [47].



1.5.4 pav.: Fazės poslinkio osciliatoriaus grandyno schema [45].

mas operacinio stiprintuvo vietoje), bet sunkiau reguliuojamas (dėl mažesnio induktyvumų pasirinkimo galimybių) [48].

Apart aukščiau paminėtų, egzistuoja visas rinkinys osciliatorių, kuriuose grįžtamasis ryšis realizuotas per LC kontūrus. Populiariausi tokios topologjos osciliatoriai yra Kolpito (1.5.5 pav. kairėje) ir Hartlio (1.5.5 pav. dešinėje). Tokių osciliatorių konstrukcija yra paprastesnė (kai kuriems sinusoidės bangos dažniams įmanomas tranzistoriaus naudojimas



1.5.5 pav.: Kolpito (kairėje) ir Hartlio (dešinėje) osciliatorių grandynų schemas [46].

## 1.6 Elektrinių signalų filtravimo sprendimai

Filtravimo grandinės gali būti laikomos PLC modulio svarbiausia dalimi, kadangi signalas yra siunčiamas labai triukšmingoje, nuolatos besikeičiančioje aplinkoje (galios kabeliais), tad yra būtinas teisingo filtro tipo pasirinkimas. Šiame skyriuje bus trumpai pristatoma literatūroje sutinkama galios laidų dažninio atsako tyrimų analizė, bendra filtrų teorija bei skirtingų filtrų tipai ir jų tarpusavio skirtumas.

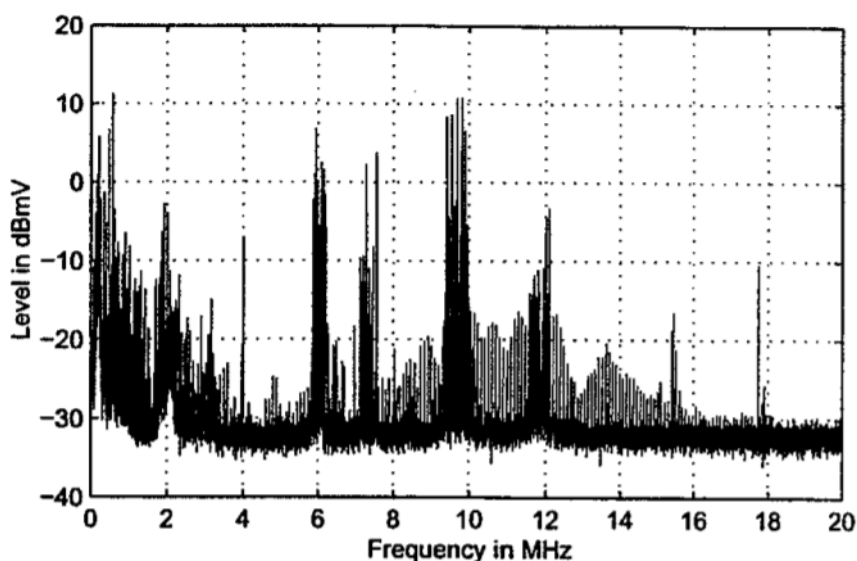


### 1.6.1 Galios laidų dažninio atsako charakterizavimas

Siekiant suprasti reikiamo filtro parametrus, svarbu išsiaiškinti signalo, kurį reikia nuslo-pinti charakteristikas (dažnius, amplitudes, trukmes). Literatūroje sutinkami dažninio atsako tyrimai triukšmus dalina į 5 kategorijas:

- 1) Spalvotas foninis triukšmas – mažo PSD (angl. Power - Spectral Density), besikeičiančio dažnio triukšmas. Šis triukšmas yra daugelio mažos galios triukšmų šaltinių signalų suma.
- 2) Siaurajuostis triukšmas – dažniausiai sinusoidinis signalas su moduluotomis amplitudėmis. Šis triukšmas yra daugiausiai sukeliamas dėl transliavimo stočių įtakos.
- 3) Periodinis impulsinis triukšmas asinchroninis su galios dažniu. Šį triukšmą sukelia mai-tinimo šaltinių persijungimai tinkle. Tipinis tokių impulsų dažnis 50 – 200 kHz.
- 4) Periodinis impulsinis triukšmas sinchroninis su galio dažniu. Šių triukšmų dažnis yra 50 Hz kartotinis ir yra sinchronizuotas su galios laido įtampos svyravimais. Šio triukšmo PSD didėjant dažniui mažėja.
- 5) Asinchroninis impulsinis triukšmas yra sukeltas persijungimų tinkle. Tokių triukšmų PSD gali siekti 50dB virš foninio triukšmo.

1 – 3 triukšmai galios tinkle yra pastovesni ir gali nesikeisti kelių minučių, o kartais ir valandų, bėgyje. Triukšmai 4 – 5 yra mikrosekundžių trukmės ir turi atsitiktinę prigimtį. Tokio triukšmo atsiradimas stipriai didina triukšmo PSD ir gali sukelti bito arba kelių iš eilės einančių bitų klaidą. Realus galios tinklo dažninio atsako matavimo pavyzdys pavaizduotas 1.6.1 pav. [49, 50]

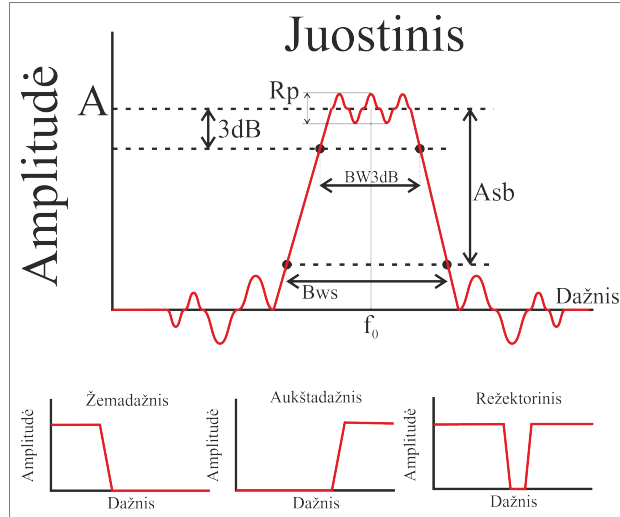


1.6.1 pav.: Realus galios tinklo dažninio atsako matavimo pavyzdys [49].

## 1.6.2 Filtrų charakterizavimas

Pagrindinė filtro užduotis: išskirti tam tikrą reikiamą dažninio spektro ruožą nuslopinant nereikalingą. Pagal reikiamą išskirti (arba nuslopinti) ruožą filtrai dalinami į aukštadažnius, žemadažnius, juostinius ir režektorinius 1.6.2. Šiame darbe bus naudojamas juostinis filtras,

todėl toliau jis ir bus charakterizuojamas. Analizuojant juostinio filtro amplitudės – dažnio charakteristiką (ADC), galime išskirti kelis parametrus, kuriuos turime pasirinkti modeliuojant juostinį filtrą. Pagrindiniai dydžiai, nusakantys dažnių juostą, kuri bus stiprinama yra centrinis dažnis  $f_0$  ir pralaidumo dažnių juostos plotis  $-3$  db lygyje ( $BW_{3dB}$ ). Filtro slopinimo charakteristikas aprašo slopinimo dažnių juostos plotis  $BW_s$  (pagal  $BW_s$  ir  $BW_{3dB}$  galima apskaičiuoti nuosmukio dažnių juostos plotį) ir slopinimo lygis  $Asb$  (dažniausiai lygus  $-45$  dB). Taip pat svarbus filtro parametras yra  $Q$  faktorius, kuris juostiniam filtrui apskaičiuojamas pagal



1.6.2 pav.: Filtro charakterizavimo parametrai bei tipai (adaptuota iš [52]).

$$Q = \frac{f_m}{BW_{3dB}} = \frac{f_m}{f_2 - f_1} \quad (1.6.1)$$

formulę. Charakterizuojant kai kurių filtrų tipus (filtrų klasifikacija pagal tipus bus parodyta vėliau) taip pat svarbu nustatyti didžiausią leidžiamą pralaidumo arba slopinimo juostos svyravimų amplitudę ( $Rp$ ) (parenkama priklausomai nuo norimo filtro kokybės kitų parametru sąskaita) [51].

Apart ADC, filtruose žiūrima į fazės poslinkio priklausomybę nuo dažnio, kadangi kiekvienam filtrui egzistuoja tam tikra laikinė signalo uždelsimo priklausomybė nuo dažnio, tad gali atsirasti fazės poslinkio priklausomybė nuo signalo dažnio.

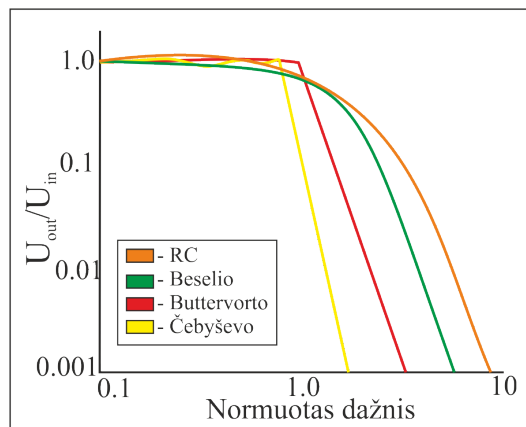
## 1.6.3 Filtrų tipai

Modeliuojant filtrą tam tikram tikslui galima pagerinti vieną iš aukščiau paminėtų parametru (nuosmukio statusas, ADC bangavimo amplitudė ir fazės poslinkio priklausomybės statusas) kitų parametru sąskaita. Pagal šį principą išskiriami trys pagrindiniai filtrų tipai (jų yra ir dau-

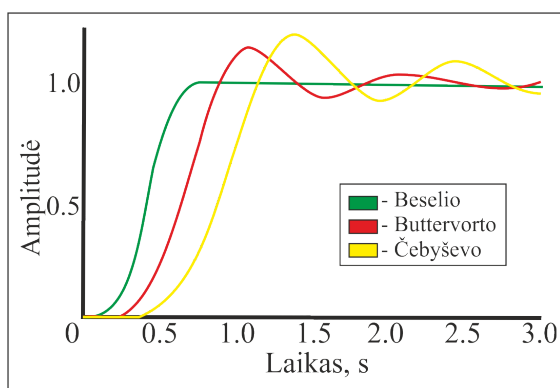
giau): Buttervorto, Čebyševio ir Beselio. Šiame poskyryje bus trumpai pristatyti ir palyginti šie trys filtrų tipai.

Buttervorto filtrai pasižymi ypatingai plokščia ADC charakteristika pralaidumo dažnių juostoje. Tokio statumo kaina: platus nuosmukio dažnių juostos plotis ir mažesnio statumo fazės – dažnio charakteristikos (FDC). 1.6.3 pav. pavaizduota 6 eilės RC ir trijų tipų filtrų ADC logaritminiame mastelyje.

Norėdami sumažinti nuosmukio dažnių juostos plotį naudojami Čebyševio filtrai. Šie filtrai pasižymi stačiausiu nuosmukiu, bet pralaidumo dažnių juostoje atsiranda bangavimas. Kuo didesnė Čebyševio filtro eilė tuo statesnį nuosmukį mes galime gauti ir tuo daugiau svyravimų bus pralaidumo dažnių juostoje. Priklausomai nuo didžiausios leidžiamos svyravimų amplitudės pasirenkami skirtingi Čebyševio filtro parametrai (dažniausiai naudojami nuo 0,1 dB iki 3 dB amplitudės intervalo svyravimai). Nagrinėjant Čebyševio filtro FDC 1.6.4 pav., galime pamatyti, kad laikinės tokio tipo filtro priklausomybės yra blogiausios, kas reiškia, kad blogiausios bus ir fazės poslinkio priklausomybės nuo dažnio.



1.6.3 pav.: Skirtingų tipų 6 eilės filtrų ADC charakteristika [53].



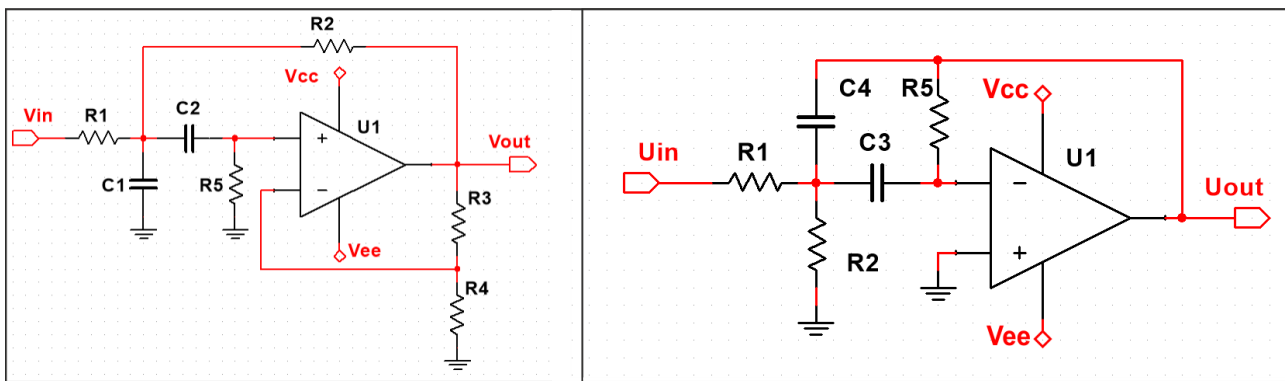
1.6.4 pav.: Skirtingų tipų 6 eilės filtrų FDC charakteristika [53].

#### 1.6.4 Filtrų topologijos

Filtrai gali būti skirstomi pagal filtro komponentus, tipą ir topologiją. Skirstant pagal komponentus, filtras gali būti pasyvus arba aktyvus. Pasyviame filtre naudojami tik pasyvūs komponentai (pvz. varžos, ritės, kondensatoriai). Didžiausi pasyvių filtrų privalumai yra pa-

pildomo maitinimo šaltinio nereikalingumas ir pačio filtro paprastumas, kas nulemia šių filtrų populiarumą. Vienas iš pasyvių filtrų trūkumų – platus nuosmukio juostos plotis. Ši problema sprendžiama kelis pasyvius filtrus jungiant į nuoseklų kaskadą. Bet tokiu atveju dar stipriau išryškėja kiti pasyvių filtrų trūkumai: dažninės charakteristikos priklausomybė nuo įėjimo ir apkrovos varžų bei stiprinimo galimybės nebuvimas. Be to reikia pažymėti, kad projektuojant kokybiškesnį RLC filtrą (lyginant su RC) mažiems (<MHz) dažniams tenka naudoti didelio induktyvumo rites, kurios yra didelės, brangios ir netikslios.

Todėl, siekiant pasiekti geresnes filtro charakteristikas, naudojami aktyvūs filtrai (filtrai, kuriuose yra aktyvių komponentų, pvz. operacinis stiprintuvas arba tranzistorius). Išskiriamos dvi populiariausios filtrų topologijos: Sallen-Key ir daugelio grįžtamųjų ryšių (angl. multiple feedback).

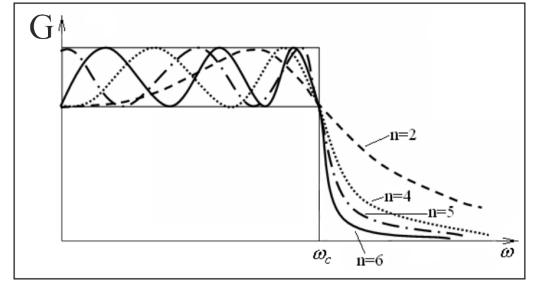


1.6.5 pav.: Sallen - Key (kairėje) ir daugelio grįžtamųjų ryšių (dešinėje) filtrų topologijos [52].

Kadangi mūsų tikslui reikalingas juostinis filtras, lygindami topologijas nagrinėsime juostinių filtrų schemas (žr. 1.6.5 pav.), kuriose jau yra integruota signalo stiprinimo galimybė (papildomos dvi varžos Sallen-Key filtre). Matome, kad daugelio grįžtamųjų ryšių (DGR) filtre reikalingas mažesnis komponentų skaičius. Be to yra žinoma, kad esant didesniai stiprinimui arba aukštesnei Q faktoriaus vertei, Sallen-Key topologijoje stipriau pasireiškia neigiami reiškiniai, susiję su komponentų neidealumu. Kadangi juostiniams filtrams Q faktoriaus vertė visada yra aukšta, dažniausiai naudojama DGR topologija. Didžiausias DGR topologijos trūkumas į kurį būtina atsižvelgti projektuojant likusį grandyną – invertuotas išėjimo signalas [48].

Kaip ir pasyviems filtrams, aktyvių filtrų charakteristikos gali būti patobulinamos jungiant nuosekliai kelis 2 eilės filtrus (dažniausiai naudojami lyginės eilės funkcijos, kadangi ne-lyginės eilės atveju reikalingas identiškasis operacinių stiprintuvų skaičius, o išėjimo charakteristikos aukštesnės eilės atveju geresnės). 1.6.6 pav. pavaizduota Čebyševio filtro ADC priklausomybė nuo filtro eilės [55].

Filtro kaskado narių verčių skaičiavimas yra nesudėtingas, bet ilgas, todėl šiame darbe bus pateikiamas tik skaičiavimo algoritmas, vadinamas pakopinio derinimo metodu. Kiekviena kaskado dalis paderinama šiek tiek kitokiam dažniui, tad lyginant su visomis vienodomis kaskado dalimis (synchroninis derinimas) pakopiniu metodu derintame filtre mes galime gauti platesnę pralaidumo juostą, didesnę Q faktorių ir siauresnes nuosmukio juostas mažesnio slopinimo pralaidumo juostoje sąskaita.



1.6.6 pav.: Čebyševio filtro ADC priklausomybė nuo filtro eilės [53].

Atliekama žemadažnio filtro transformacijos į juostinio tipo filtrą procedūra antros eilės žemadažniam filtrui. Tam žemadažnio filtro perdavimo funkcijoje

$$H(s) = \frac{A_0}{1 + a_i s + b_i s^2} \quad (1.6.2)$$

s yra keičiama į

$$\frac{1}{\Delta\Omega} \left( s + \frac{1}{s} \right). \quad (1.6.3)$$

Šiose formulėse  $A_0$  – filtro stiprinimas,  $\Delta\Omega = \frac{1}{Q}$ . Taip gaunama 4 eilės juostinio filtro perdavimo funkcija, kuri po nesudėtingų matematinių pertvarkymų įgyja

$$1 + H(s) = \frac{\frac{A_{mi}}{Q_i} \cdot \alpha s}{1 + \frac{\alpha}{Q_i} s + (\alpha s)^2} \cdot \frac{\frac{A_{mi}}{Q_i} \cdot \frac{s}{\alpha}}{1 + \frac{1}{Q_i} \cdot \left( \frac{s}{\alpha} \right) + \left( \frac{s}{\alpha} \right)^2} \quad (1.6.4)$$

funkcijos pavidalą, kuriame akivaizdžiai galima išskirti du nuosekliai sujungtus antros eilės filtrus. Šioje išraiškoje  $A_{mi}$  – kiekvienos kaskado dalies centrinio dažnio stiprinimas,  $Q_i$  – kiekvienos kaskado dalies Q faktorius,  $\alpha$  ir  $\alpha^{-1}$  – faktoriai, nusakantys kiekvienos kaskado dalies centrinius dažnius.  $\alpha$  vertės nustatomos pagal aproksimacinę formulę arba pasinaudojant lentelėmis, kuriose yra pateiktos  $\alpha$  vertės priklausančios nuo norimo Q faktoriaus. Kai yra nustatoma  $\alpha$  vertė, reikiami filtro modeliavimui parametrai apskaičiuojami pagal žemiau pateiktos sistemos formules.

$$\left\{ \begin{array}{l} f_{m1} = \frac{f_m}{\alpha} \\ f_{m2} = f_m \cdot \alpha \\ Q_i = Q \cdot \frac{(1 + \alpha^2) \cdot b_1}{\alpha \cdot a_1} \\ A_{mi} = \frac{Q_i}{Q} \cdot \sqrt{\frac{A_m}{B_1}} \end{array} \right. \quad (1.6.5)$$

Čia  $a_1$  ir  $b_1$  – lenteliniai koeficientai (nusako filtro tipą),  $B_1$  – filtro pralaidumo juostos plotis,  $f_1$  ir  $f_2$  atskirų kaskado filtrų centriniai dažniai,  $f_m$  – viso kaskado centrinis dažnis.

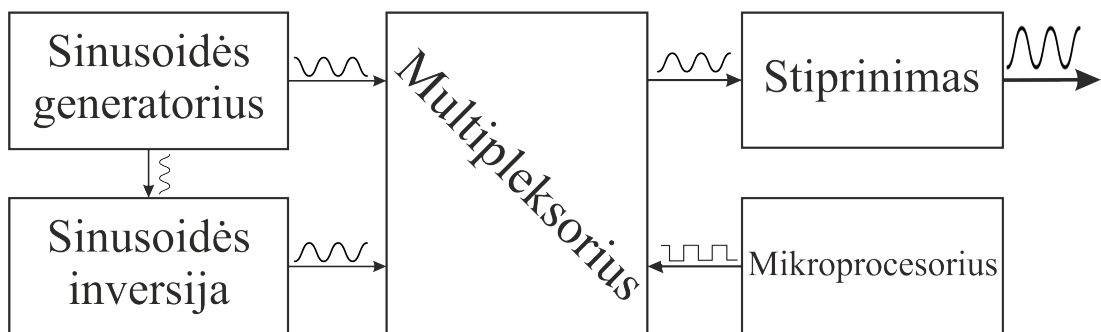
Pasinaudoję identišku algoritmu galima apskaičiuoti bet kokios eilės filtrą. Bet šiomis dienomis filtrų modeliavimo procedūra atliekama specializuotose programose, taip sutaupant laiką ir užtikrinant geriausio filtro grandyno pasirinkimą [48].

## 2 METODIKA

### 2.1 Sukurto PLC modulio ryšio realizacijos principas

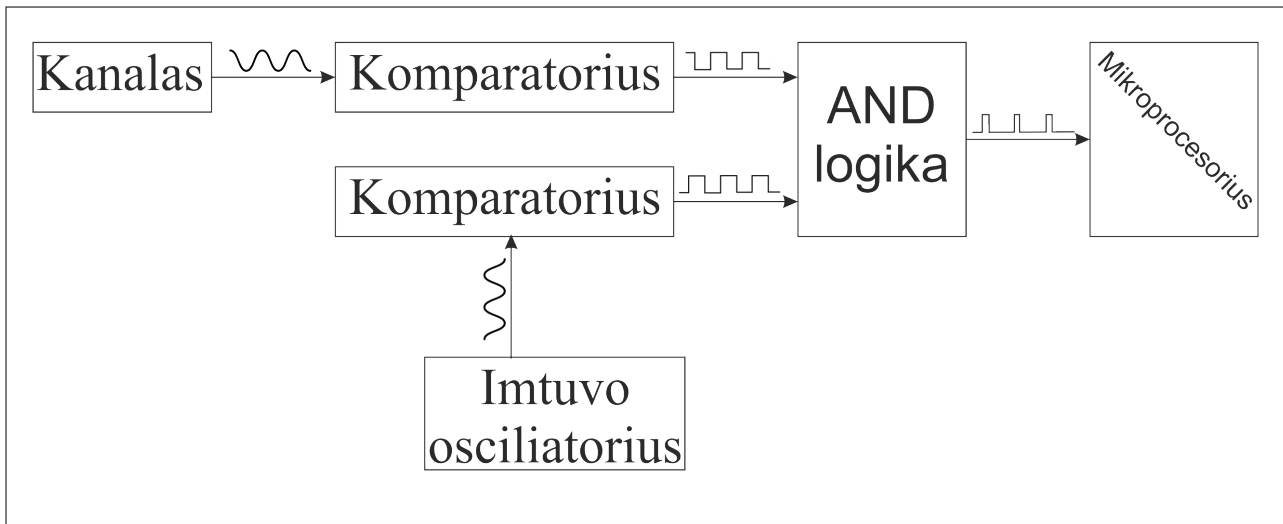
Literatūros analizės ir bendravimo su gatvių apšvietimo specialistais metu tapo aišku, kad didžioji dalis naujausių PLC modulių naudoja OFDM moduliaciją. Taip pat verta atsižvelgti į nemažą senesnių prietaisų skaičių, kurie naudoja binarinę fazinę moduliaciją. PLC standartų analizės metu išsiaiškinta, kad populiariausi PLC OFDM standartai naudoja adaptyvią OFDM, kas reiškia, kad yra galimybė pasirinkti naudojamų kanalų skaičių ir dažnį (pvz. G3-PLC standarte už tai yra atsakingas TMR – Tone Map Response paketas iš tinklo). Taip galima tikėtis, kad sukūrus binarinės fazinės moduliacijos PLC ryšio modulį bei nurodžius OFDM PLC čipams naudoti tik vieną kanalą ir tik binarinę fazinę moduliaciją, atsiranda galimybė nuskaitinėti abiejų (OFDM ir BPSK) moduliacijų pagrindu paremtus PLC modulius. Kadangi PLC standartai yra viešai prieinami, atitinkamai užprogramavę sukurtą modulį mes galėsime prisijungti prie bet kurio PLC tinklo.

Akivaizdu, kad lyginant su OFDM moduliacija, informacijos perdavimo greičiai sumažės. Bet reikia atsižvelgti į tai, kad šiuo metu naudojami PLC moduliai yra universalūs, o gatvių apšvietime (pagrindinė sritis, kuriai buvo kuriamas šis modulis) reikalingi pakankamai nedideli informacijos perdavimo kiekiai, tad yra laikoma, kad universalumas mažesnio perdavimo greičio sąskaita yra priimtinas. Sukurtame modulyje signalas yra moduluojamas generuojant du priešingos fazės sinusoidinius signalus. Multiplexoriuje mikrokontrolerio pagalba į modulio išvestį yra siunčiama viena iš šių sinusoidžių, taip formuojant moduliuotą signalą. Prieš siunčiant į kanalą, signalas yra stiprinamas (žr. 2.1.1 pav.).

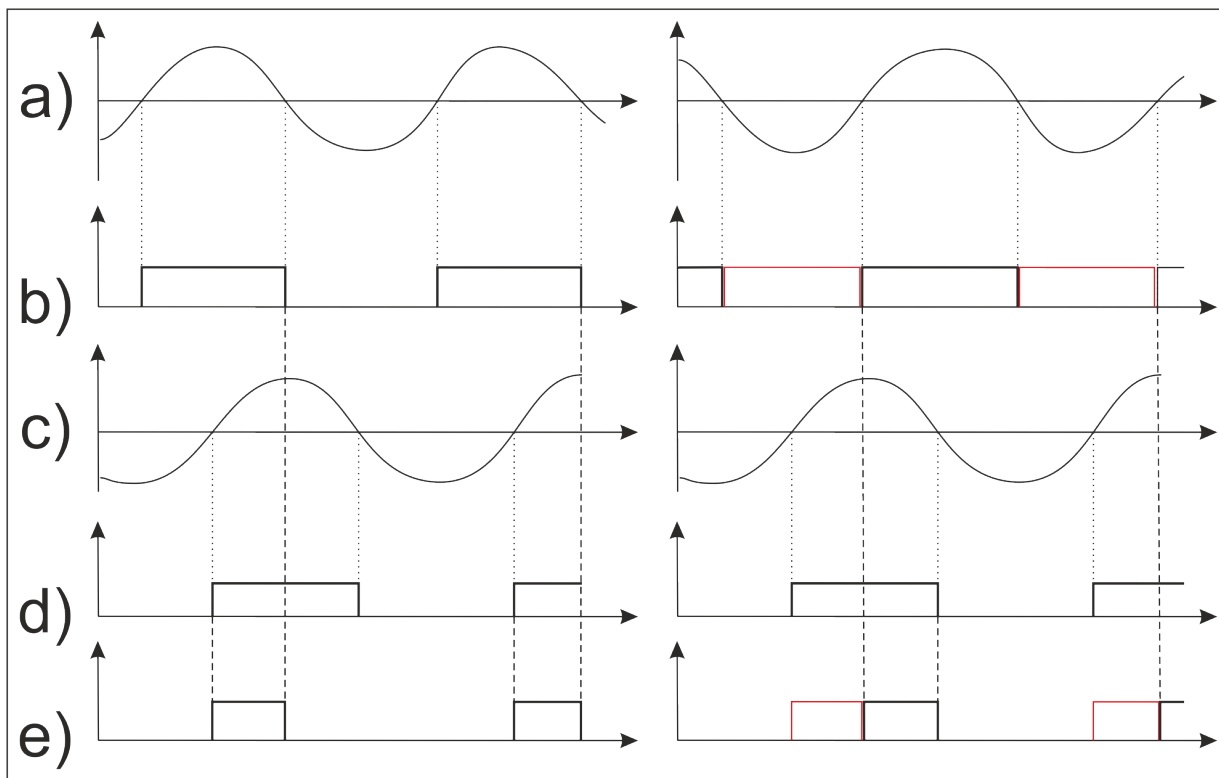


2.1.1 pav.: Signalų siuntimui sudarymo modulyje blokinė schema.

Signalų priėmimo koncepcija pavaizduota 2.1.3 pav. Iš kanalo atėjęs signalas ir generuojama sinusoidė yra praleidžiami pro komparatorius, tad gaunami stačiakampiai 5 V signalai (5 V atitinka momentus, kai atėjusio signalo arba sinusoidės įtampa didesnė už 0). Į komparatorius įdiegta histerizė leidžia numalšinti triukšmus komparatoriaus persijungimo momentu.



2.1.2 pav.: Signalo siuntimui sudarymo modulyje blokinė schema.



2.1.3 pav.: Signalo apdorojimo imtuve procedūra [56] (žr. paaiškinimus tekste).

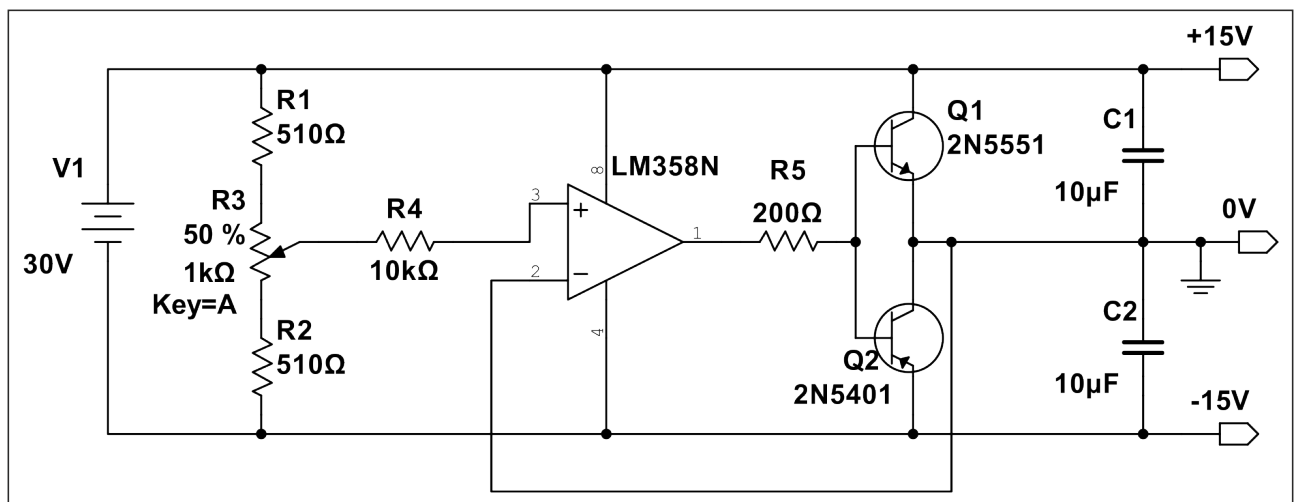
Vėliau stačiakampiai signalai yra lyginami tarpusavyje pasinaudojant AND logiką. Gaudamas stačiakampis signalas siunčiamas į mikroprocesorių, kuris analizuoja +5 V ir 0 V ciklus. Pasikeitus iš kanalo ateinančio signalo fazei +5 V ir 0 V ruožai pasikeičia, tad mikrokontroleris gali tai pastebėti ir nuskaityti signalo pokytį. Tokioje signalo priėmimo koncepcijoje yra keletas privalumų. Vienas iš jų yra tas faktas, kad nebūtina sinchronizuoti imtuvo atraminio ir siųstuvo kanalu siunčiamo signalo fazes. Nuo šių signalų tarpusavio fazių skirtumo priklausys tik +5 V ir 0 V trukmės periode. Vienintelis reikalavimas, kad į mikrokontrolerį ateinančio



signalu 5 V trukmės būtų didesnės už diskretizacijos žingsnį (laikas tarp dviejų mikrokontrolerio nuskaitymų). Kitas privalumas: ateinantysis signalas gali būti net mažesnis už 5 V (nepageidaujamas efektas, atsirandantis dėl kanalo ir filtro neidealumo). Tokiu atveju +5 V (komparatoriaus išeigoje) ruožas sumažės, bet kol jis lieka didesnis už diskretizacijos žingsnį, grandynas veiks. Procesas pavaizduotas 2.1.3 pav. Čia a) ir c) iš kanalo ir imtuvo osciliatoriaus ateinantys signalai, o b) ir d) atitinkami signalai komparatoriaus išeigoje. e) galime matyti signalą AND elemento išeigoje (signalą į mikroprocesorių). Kairioji ir dešinioji sekos skiriasi įvesties signalo fazės skirtumu (įvesties signalų  $\Delta\varphi = 180^\circ$ ), o dešinioje dalyje raudonai pavaizduotos kairiosios sekos išeigos (palyginimui) [53].

## 2.2 Sukurto PLC prietaiso komponentai ir jų pasirinkimo pagrindimas

### 2.2.1 Maitinimas



2.2.1 pav.:  $\pm 15\text{V}$  bipolinis DC maitinimo šaltinis.

Tinkamos ir stabilios maitinimo įtampos užtikrinimas yra svarbi dalis bet kurio grandyno veikimui. Akivaizdu, kad moduliui reikalinga +5 V įtampa (mikrokontroleriui). Nuspręsta darbe naudoti dvigubo maitinimo įtampos operacinius stiprintuvus (mažesnė kaina, didesnis pasirinkimas), kas reiškia, kad reikalinga dar -5 V įtampa. Siekiant palikti išėjimo signalo stiprinimo galimybę, nuspręsta papildomai turėti didesnės įtampos prieigą (šiam darbe tai  $\pm 15\text{ V}$ , bet gali lengvai būti keičiamas tam tikrose ribose). Naudojami Rail-to-Rail tipo operaciniai stiprintuvai leidžia adaptuoti modulį prie bet kurios maitinimo įtampos (atsižvelgiant į didžiausios leidžiamos maitinimo įtampos ribas). Taip pat moduliui yra labai svarbus išėjimo įtampos pastovumas, kas reiškia, kad išėjimo įtampa neturi priklausyti nuo apkrovos varžos (ši sąlyga

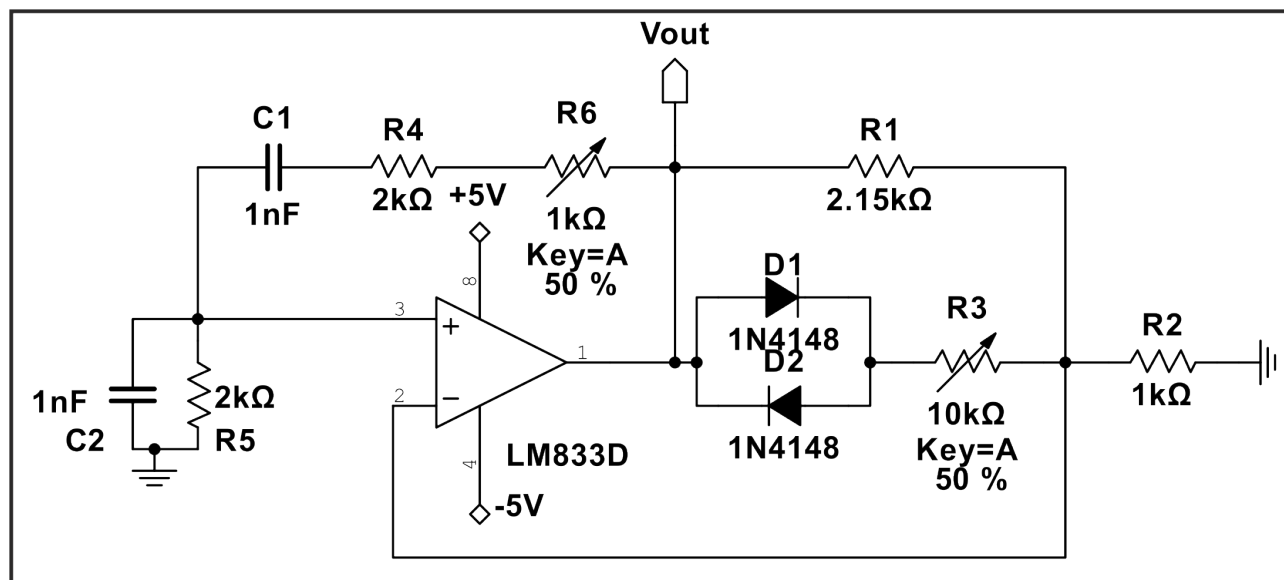
neleidžia naudotis paprastais įtampos dalikliais ir kitais sprendimais be aktyvių elementų).

$\pm 15$  V gaunami iš 30 V DC perstumiant vidurio tašką LM358N operacinio stiprintuvo ir dviejų (nnp 2n5551 ir pnp 2n5401) tranzistorių pagalba [57, 58]. Vidurio taško įtampa kalibruojama R3 potenciometru. Ši įtampa paduodama į neinvertuojantį OS kanalą [59].

Siekiant palikti galimybę keisti didesnę DC įtampą,  $\pm 5$  V įtampos gaunamos naudojant paprastus teigiamos ir neigiamos įtampos reguliatorius 7805 ir 7905 [60, 61].

## 2.2.2 Siuntimo dalis

Atliekant palyginamuosius tiek simuliuojamų, tiek realių sinusoidžių generatorių matavimus, į modulius buvo diegiamas Vyno tiltelio pagrindu veikiantis osciliatorius (vertinimas vyko pagal FWHM - spektro pusės maksimumo plotį). 2.2.2 pav. pavaizduota moduliuose naudojamu Vyno osciliatoriaus LM833D operacinio stiprintuvo pagrindu su diodų AGC schema [62].

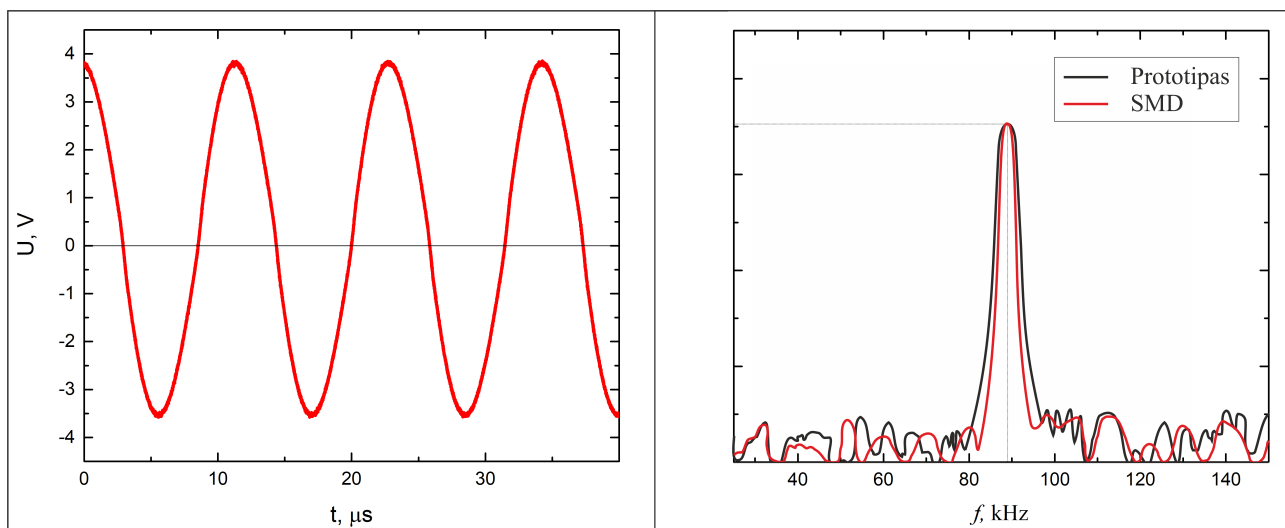


2.2.2 pav.: Vyno tiltelio osciliatoriaus su diodų AGC grandyno schema.

Keičiant R3 vertę, mes galime tam tikrose nedidelėse ribose pakoreguoti sinusoidės formą, o R6 potenciometro pagalba galime koreguoti dažnį. Stipresniai dažnio korekcijai, reikėtų keisti R1 ir R2 varžų vertes arba C1 ir C2 kondensatorių talpas. 2.2.3 pav. pavaizduoti šio surinkto grandyno oscilograma (kairėje) bei FFT (dešinėje).

Kaip galime matyti, osciliatoriaus ant spausdintinės plokštės su paviršinio tvirtinimo komponentais (SMD) FWHM sumažėja (nuo 7.4 kHz iki 5.1 kHz), kas reiškia, kad generuojamos sinusoidės dažnis yra stabilesnis.

Kadangi siekiama gauti binarinę fazinę moduliaciją, signalo fazė keičiama  $180^\circ$  pasinaudojant antra LM833D OS dalimi invertuojančio OS grandyne. Turėdami dvi priešingų fazių

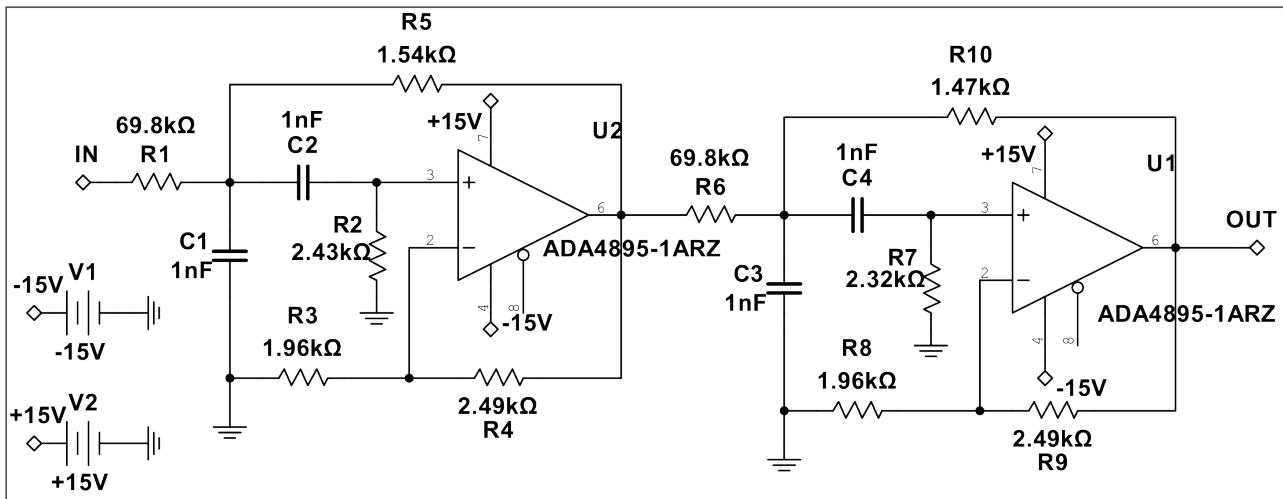


2.2.3 pav.: Surinkto oscilatoriaus oscilograma (kairėje) bei normuotų prototipo ir modulio FFT palyginimas (dešinėje).

sinusoides, siunčiamo signalo moduliacijai naudojamas CD74HC4053E multipleksorius [63]. Multipleksorius pasižymi trumpomis (šio darbo tikslams) nanosekundžių eilės persijungimo trukmėmis, o taip pat galimybe uždaryti išeišos kanalą (atitinkamą multipleksoriaus įvestį užmaitinant +5V įtampa). Prieš nukreipiant signalą į kanalą, jis yra papildomai stiprinamas kitu LM833D operaciniu stiprintuvu, kuris maitinamas  $\pm 15$  V įtampa (gali būti keičiama tam tikrose ribose).

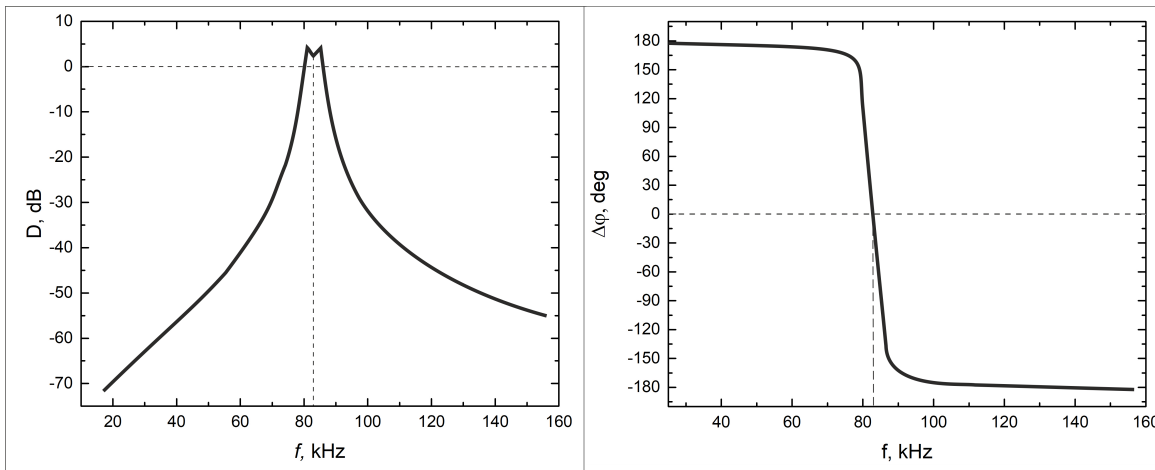
### 2.2.3 Priėmimo dalis

Modulio veikimui realiomis sąlygomis, būtinas juostinis filtras, gebantis nufiltruoti tiek 60Hz tinklo komponentę, tiek aukštadažnius triukšmus. Yra laikoma, kad viso signalo perdavimo metu siųstuvo dažnis nesikeičia. Šiame darbe nuspręsta naudoti Čebyševio DGR filtrą. Pradžioje buvo planuojama realizuoti 8 eilės filtrą, kadangi rinkoje yra pakankamai didelis operacinių stiprintuvų mikroschemų, kuriose yra integruoti 4 operaciniai stiprintuvai, pasirinkimas. Bet išsamesnės analizės metu paaiškėjo, kad tokio tipo reikiamų parametrų stiprintuvai yra neadekvačiai brangūs. Todėl galiausiai buvo pasirinktas 4 eilės filtras iš dviejų pavienių ADA4895 operacinių stiprintuvų (žr. 2.2.4 pav.). Filto modeliavimui (varžų ir kondensatorių verčių apskaičiavimui) buvo pasirinkta Texas Instruments WEBENCH Filter Designer viešai prieinama programa (būtina nemokama registracija). Programa turi galimybę tiek pati parinkti filtro tipą ir eilę, tiek apskaičiuoti griežtai nustatytos topologijos filtrą. Siekiant įsitikinti, kad programa skaičiuoja teisingas vertes buvo atliktas palyginamasis 2 eilės filtro elementų verčių skaičiavimas. Be to, visi šiame darbe minimi filtro grandynai buvo sumodeliuoti ir patikrinti Multisim grandynų modeliavimo programoje [52].



2.2.4 pav.: Apskaičiuoto filtro grandyno schema.

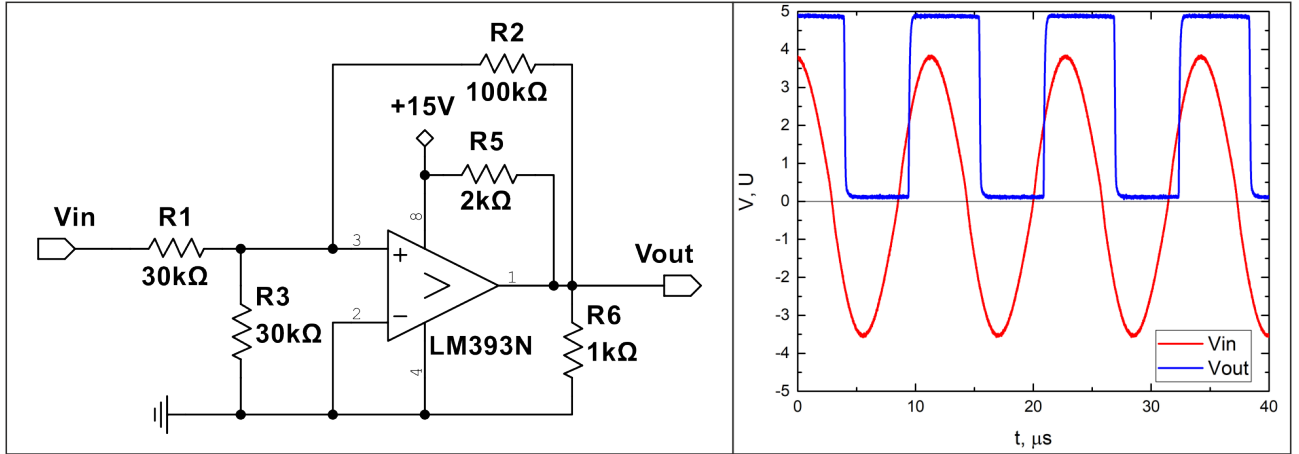
Į programą buvo įvesti tokie filtro parametrai: tipas – 4 eilės 1 dB Čebyševio filtras, centrinis dažnis – 83 kHz, pralaidumo dažnių juostos plotis – 2.5 kHz, slopinimo dažnių juostos plotis 10 kHz, filtro slopinimo lygis – -45 dB. Gauto filtro ADC ir FDC pavaizduotos 2.2.5 pav. atitinkamai kairėje ir dešinėje. Šiek tiek didesnis centrinis dažnis buvo pasirinktas, siekiant užtikrinti geresnes FDC charakteristikas moduluojamame dažnyje (nedidelių dažnio pokyčio atveju).



2.2.5 pav.: Pasirinkto filtro ADC (kairėje) ir FDC (dešinėje).

Komparatoriui panaudotas LM393N atviro kolektoriaus komparatorius [64]. Komparatorius lyginą invertuojančio ir neinvertuojančio jėjimo signalus ir jei neinvertuojančio jėjimo įtampa didesnė, į išvestį yra perduodamas '1' ir atvirkščiai. Dėl atviro kolektoriaus, komparatoriaus išėjimas „pritempiamas“ prie komparatoriaus maitinimo per R5 varžą. Mūsų atveju, atraminė įtampa (invertuojančio OS jėjimo įtampa) lygi 0 V, tad invertuojantis jėjimas yra žeminamas. Dėl triukšmų grandinėje tiek pačiame OS, nulinio persijungimo momentu gali atsirasti nereikalingi OS persijungimai, kas trukdytų normaliai grandyno veiklai. Problema

išsprendžiama įdiegus teigiamą atgalinį ryšį, kuris sudaro histerizę, kurios režiai gali būti reguliuojami. Tokiu būdu iš kanalo ir iš imtuvo osciliatoriaus atėjusios sinusoidės yra paverčiamos 5 V stačiakampiu signalu. Grandyno schema ir surinkto modelio oscilograma pavaizduoti 2.2.6 pav.



2.2.6 pav.: Naudojamo komparatoriaus schema (kairėje) ir surinkto modelio oscilograma (dešinėje).

Signalų AND loginei sudėčiai panaudoti du mikroschemos 74HC00D NAND elementai [65].

### 2.3 Sukurto PLC modulio programinės dalies aspektai

Šiame skyriuje bus trumpai pristatomi pagrindiniai sukurtam PLC siustuvui / imtuvui parašytos programos aspektai. Bus aprašyta programos dalis sukurtam prietaisui veikiant savarankiškame PLC tinkle, kadangi skirtingų PLC standartų kodavimo ir dekodavimo protokolai yra aprašyti atitinkamuose duomenų lapuose, tad kartoti juos čia nėra prasmės.

Kadangi sukurto PLC ryšio modulio prototipo valdymui pasirinktas Atmega328 mikroprocesorius, programavimas buvo atliktas Atmel Studio 7 mikroprocesorių programavimo terpėje (didžioji dalis kodo parašyta AVR C kalba). Bandomiesiems siuntimams buvo naudojamas 16 bitų informacinis žodis (paliekant nesudėtingą galimybę plėsti informacinį žodį). Kadangi bandymo metu nebuvo numatyta naudoti valdomosios ar valdačiosios periferijos, tiek informacinio žodžio siuntimui, tiek persiusto žodžio analizei buvo naudojamas kompiuteris su USB - TTL UART konverteriu CP2102 mikroschemos pagrindu. Programa į mikroprocesorius buvo kraunama AVRISP MkII programatoriumi.

Pirmus 8 informacinio žodžio bitus sudaro informaciją apie perduodamą paketą, o likusieji yra duomenų bitai (žr. pav. 2.3.1). Perduodamas modulio, kuriam skirtas paketas ID numeris (4 baitai), paketo tipas (2 bitai) ir paketo dydis (2 bitai). 4 ID bito numeriai reiškia,



2.3.1 pav.: 16 bitų paketo struktūra.

kad bandymų metu naudota programa teoriškai viename PLC tinkle gali palaikyti iki 15 ryšio modulių (0000 kodas yra naudojamas kaip "paketas, skirtas visiems"). Paketo dydžio bitai numato 4 skirtingus informacinio žodžio dydžius, kurie yra 16 bitų kartotiniai (16, 32, 48, 64 bitai). Paketo tipai nurodo paketo pobūdį (žr. 2.3.1 lentelę).

2.3.1 lentelė: Savarankiškame tinkle veikiančio modulio paketo tipai.

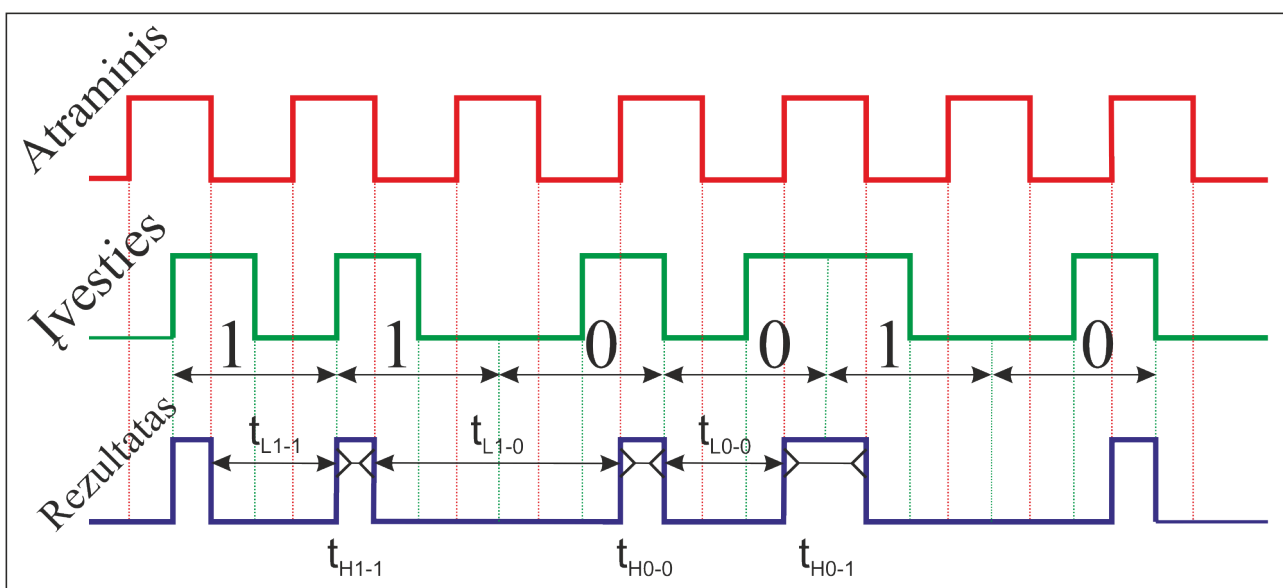
Kodas	Paketo tipas
00	Kanalo rezervacija
01	ACK
10	NACK
11	Duomenų perdavimas

Prieš siuntimą kiekvienas informacinio žodžio baitas yra koduojamas Hemingo kodu su dvigubos klaidos suradimo galimybe (papildomas lygumo bitas pabaigoje). Dekodavimo metu kiekviename baite atpažinus vieną klaidą, ji yra ištaisoma ir informacinis žodis yra naudojamas, o į kanalą yra siunčiamas ACK paketas. Atpažinus dvi klaidas, į kanalą yra siunčiamas NACK paketas, kuriame nurodytas baitas, kuri reikia persiųsti. Po Hemingo kodavimo gaunamas 26 bitų kodinis žodis. Kodinio žodžio pradžioje pridedama pastovioji '110010' seka, kuri yra naudojama tam, kad imtuvo mikroprocesorius galėtų apskaičiuoti laikinius intervalus ir pritaikyti juos likusiai kodo daliai.

Signalui užmoduliuoti tereikia pakeisti vieno iš mikroprocesoriaus išvadų būseną (taip yra perjungiamas multiplexoriaus būseną). Tikslus persijungimas realizuotas Timer0 pertraukimu, ASM ir disassemblerio pagalba nustačius reikiamą OCR0A bito reikšmę.

Darbo metu buvo sugalvoti du į mikrokontrolerį atejusio signalo apdorojimo būdai, kiekvienas iš kurių turi tiek savų privalumų, tiek trūkumų. Pirmuoju atveju, imtuve 16 bitų Timer1 pagalba vyksta įvesties pino būsenų pokyčio analize. Tai reiškia, kad pasikeitus įvesties pino būsenai, įvyksta pertraukimas, kurio metu išsiaiškinamas pokyčio tipas ir laikinė vertė (laikas nuo praeito pokyčio) įrašoma į atitinkamą matricą. Praėjus laikui, kuris yra reikalingas visam paketui perduoti (kontroliuoja Timer2) pertraukimai yra draudžiami ir vyksta užpildytų matricų analizė. Kadangi visiems moduliams yra žinomi pirmi 6 bitai, gaunamos reikiamos

laikinės vertės (žr. pav. 2.3.2), kurios vėliau yra pritaikomos likusiai sekos daliai. Šio metodo privalumas yra labai mažos galimos diskretizacijos trukmės, kurios leidžia pastebėti net ir labai mažos trukmės impulsus. Taip pat kode yra atsižvelgta, kad sekantis įvesties pino pokytis gali įvykti pertraukimo (pertraukimas apdorojamas per  $0,375 \mu s$ ) apdorojimo metu. Tokiu atveju laikai bus vis tiek įrašyti taisyklingai. Didžiausias tokio signalo apdorojimo būdo trūkumas - galimai klaidingi pertraukimai, kurie gali atsirasti dėl triukšmo kanale. Programiškai šiai problemai spręsti naudojamas algoritmas panašus į kodą skirtą mygtuko paspaudimo triukšmams suvaldyti.



2.3.2 pav.: Realizuoto signalo apdorojimo algoritmo schema.

Kita apdorojimo galimybė yra kiekvieno bito priėmimo metu nuskaityti įvesties piną daug kartų ir vėliau analizuoti pikų padėtis bito laike. Šio metodo trūkumas - sumažėjęs (lyginant su pirmu metodu) diskretizacijos dažnis, kas reiškia, kad mažesnės trukmės impulsai gali likti nepastebėti. Iš čia atsiranda ir privalumas – didesnis pakantumas trumpalaikiams triukšmų impulsams. Bet kadangi tikimasi, kad kokybiškas juostinis filtras ir programinis triukšmų apdorojimo algoritmas sugebės panaikinti pirmo metodo trūkumus, darbe buvo panaudotas pirmasis signalo apdorojimo būdas.

Dėl laiko stokos buvo realizuotas tik modifikuotas 0 - CSMA kanalo dalinimosi protokolas. Tai reiškia, kad kai vienas iš modulių turi užimti kanalą, visiems prietaisams yra siunčiamas kanalo užimtumo signalas, kurį gavus, visi prietaisai tam tikrą nustatytą laiko tarpą (kuris yra atsitiktinis, bet didesnis už tam tikrą vertę) negali nieko siūsti į kanalą (tik priimti). Laukimo vertė yra paskaičiuota taip, kad priklausomai nuo kodinio žodžio ilgio, nustatys, kad visas kodinis žodis buvo perduotas neteisingai, liktų galimybė nusiųsti NACK paketą ir iš naujo

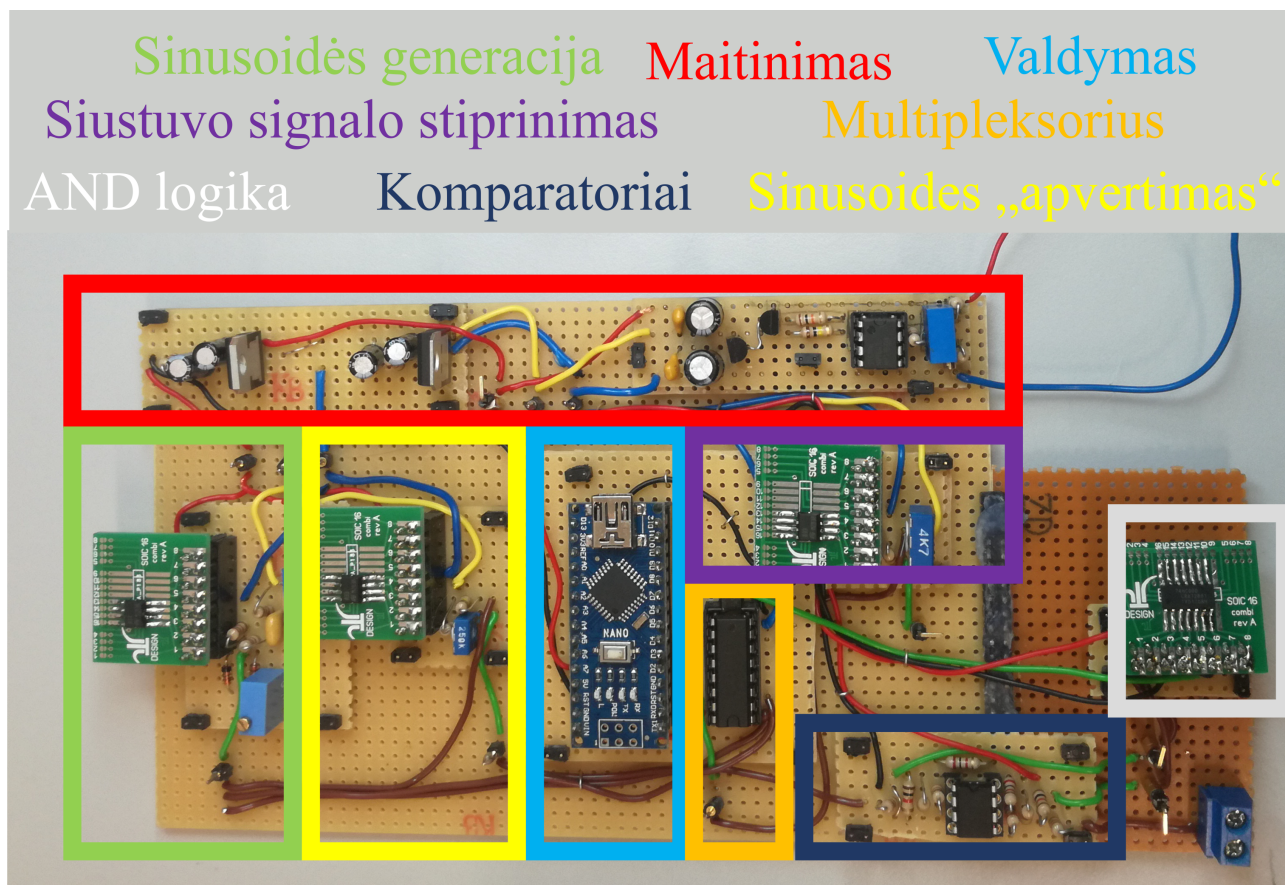
persiusti visą kodinį žodį. Jei tuo momentu, kai kanalas yra užimtas, kitam moduliui atisranda poreikis persiusti komandą, jis laukia, kol praeis kanalo užimtumo laikas. Kadangi kanalo užimtumo laikas turi tam tikrą atsitiktinę dedamąją, sumažėja susidurimo tikimybė. Šiame etape nenumatyta, kad vienam moduliui gali tekti siųsti sekantį paketą, neišsiuntus pirmojo. Tokiu atveju bus siunčiamas tik paskutinis paketas. Kadangi darbo metu buvo pagaminti tik du modulio PCB prototipai, nebuvo galimybės patikrinti dalinimosi kanalų algoritmo veikimo.



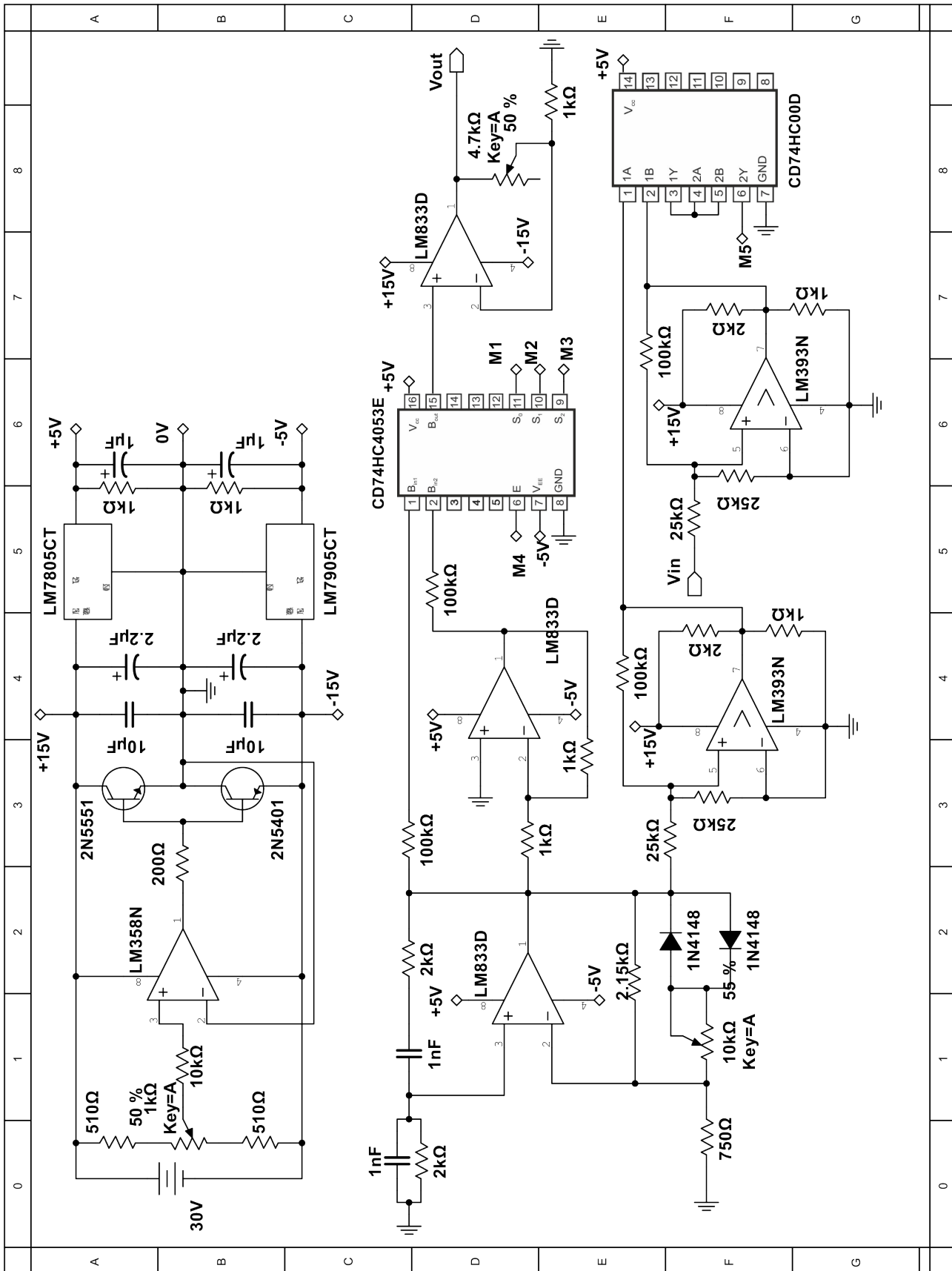
## 3 REZULTATAI

### 3.1 Schema ir prototipas

Atlikus visų metodinėje dalyje minimų dalių modeliavimus *Multisim* programinėje terpėje ir įsitikinant sumodeliuoto grandyno veikimu, visos dalys buvo sujungtos kartu į 3.1.2 pav. pavaizduotą grandyną. Buvo pagaminti du veikiantys prototipai. Grandyno veikimo patikrinimui buvo įterptas laikinas valdymas Arduino Nano (procesorius Atmega328p). Bandymų metu buvo įsitikinta, kad grandynas elgiasi taip, kaip ir buvo numatyta. Pastebėtas nedidelis diskretizacijai paruošto signalo išsibarstymas, bet šioje darbo stadijoje jis palaikytas nereikšmingu, nes buvo tikimasi, kad viso grandyno, o ypač generatoriaus veikimo tikslumas pagerės, kai schema bus perlituota, naudojant šiam grandynui paruoštą spausdintinę (PCB - Printed Circuit Board) plokštę ir paviršinius (SMD - Surface Mount Device) komponentus, kurie pasižymi didesniu tikslumu. Testavimui paruoštas prototipas pavaizduotas 3.1.1 pav.



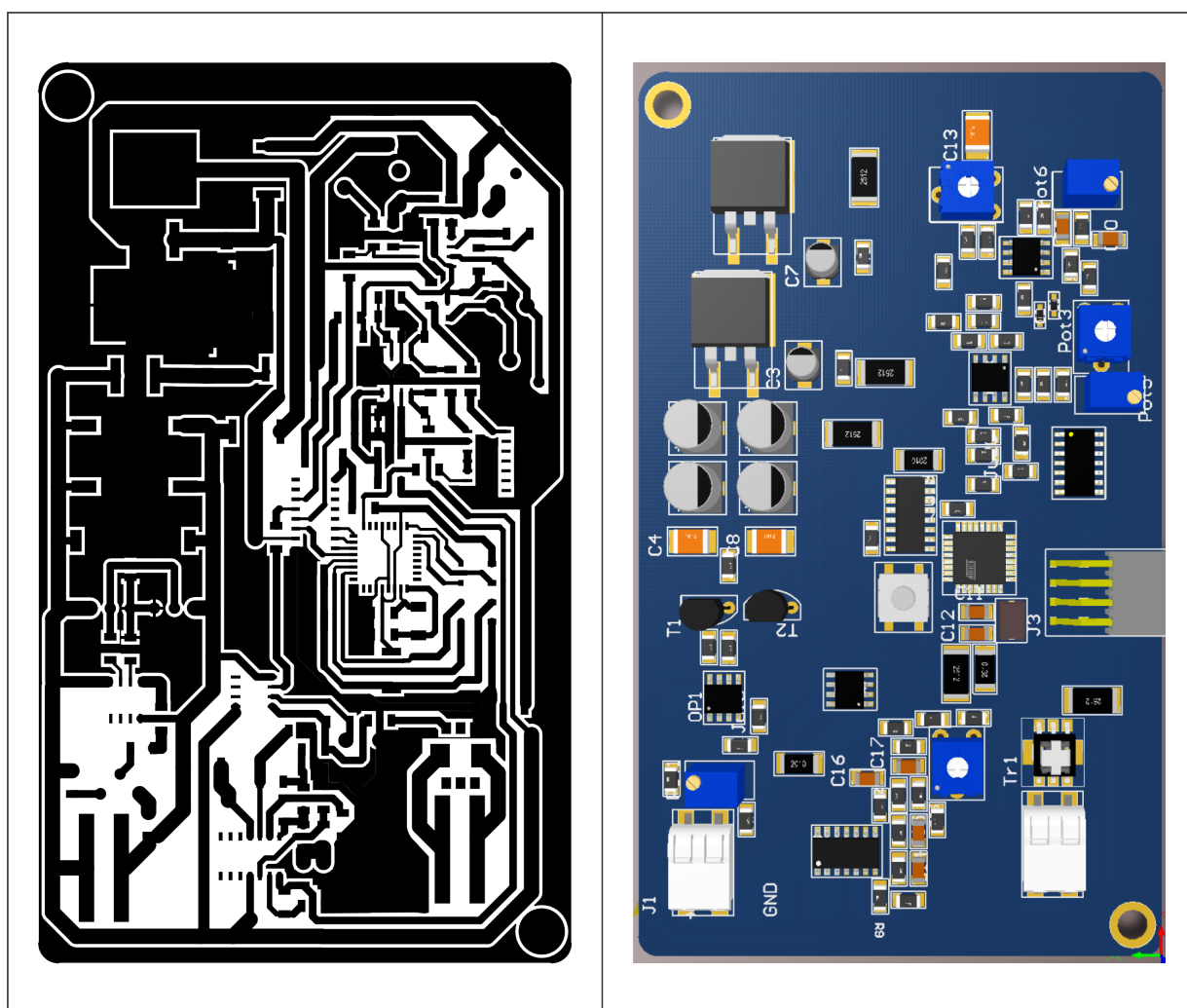
3.1.1 pav.: Surinktas PLC siustuvo/untuvo prototipas.



3.1.2 pav.: Surinktų PLC sistemų/įmtuvų schema (be filtro).

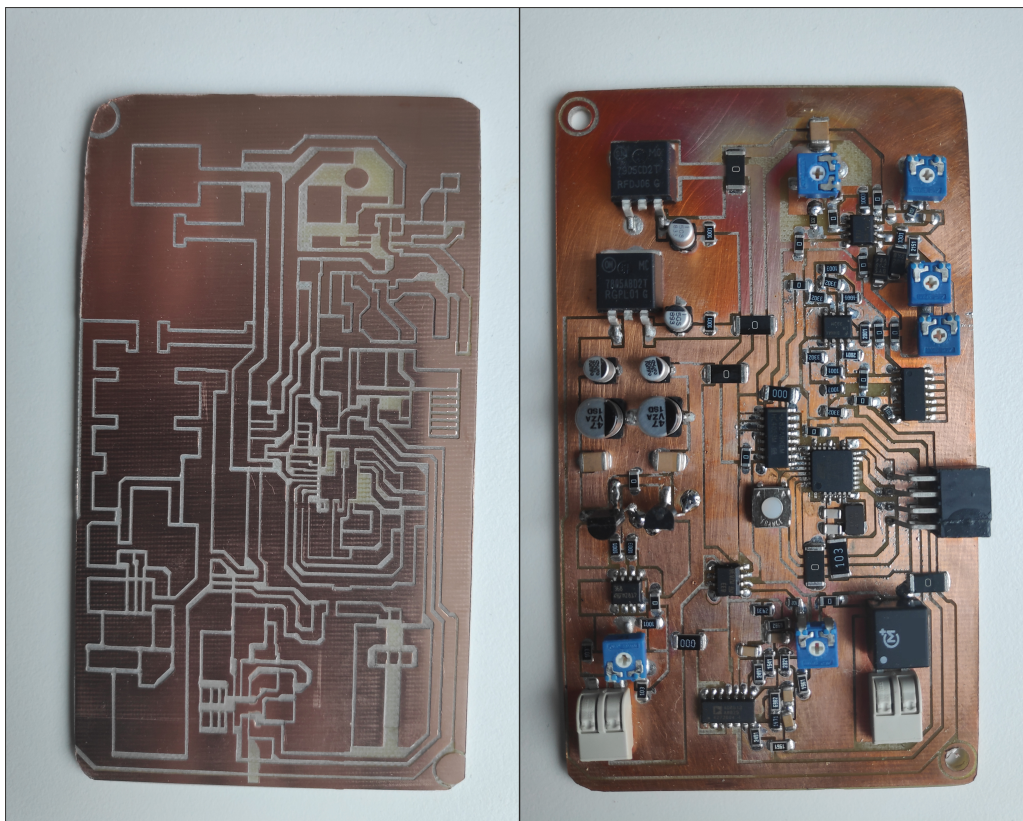
### 3.2 PCB plokštė ir SMD prototipai

Atlikus pirminius sukurto prototipo matavimus ir įsitikinus, kad visos modulio dalys veikia taip, kaip numatyta, buvo nuspręsta perkelti prototipą į PCB plokštę su SMD tvirtinimo komponentais. Taip buvo tikimasi pagerinti prototipo charakteristikas, atsikratant parazitinių efektų bei naudojant mažesnės paklaidos SMD komponentus. Plokštės modeliavimui buvo naudojama Altium Designer plokščių modeliavimo programa. Kadangi ne visi prototipuose naudojami komponentai buvo įtraukti į programos turimas bibliotekas, buvo sukurta papildoma biblioteka, į kurią buvo įdėti tiek esantys reikalingi komponentai, tiek savarankiškai sukurti komponentai (komponentai sukurti pasinaudojant Altium Designer funkcijomis ir viešai prieinamais 3D modeliais). Kadangi jau plokštės kurimo momentu buvo žinoma, kad pirmieji plokščių prototipai bus kuriami savarankiškai paliktas didesnis nei būtina (0.4 mm) tarpas tarp plokštės takelių (0.35 mm tarp mikroprocesoriaus takelių). Galutinės plokštės matmenys 116 ir 70 mm (žr. 3.2.1 pav.)



3.2.1 pav.: Altium Designer programoje suprojektuota PCB ploštė (kairėje) ir jos 3D simuliacija (dešinėje).

Siekiant patikrinti sukurtą PCB plokštę, nuspręsta pirmus prototipus pasidaryti savarankiškai. Vienu metu buvo bandoma padaryti plokštes dviem būdais: fotorezistiniu metodu ir frezavimo staklėmis. Gaminant plokštes fotorezistiniu metodu (buvo bandoma naudoti vokiškas Bungard plokštes su jau uždėta fotorezistine plevele ir kiniškomis fotorezistinėmis plevelėmis, kurios buvo savarankiškai uždedamos ant epoksidinio laminato plokščių) nepavyko pasiekti reikiamos plokštės kokybės (greičiausiai dėl nepakankamai galingo ir tolygaus UV šviesos šaltinio), tad sekantiems darbo etapams buvo naudojamos Roland MDX-25 frezavimo staklėmis pagamintos plokštės. Frezuojama buvo su 0.25 mm skersmens frezomis. Ant pagamintų plokščių elementai buvo uždedami laboratorijos turimu Pick & Place litavimo staklių pagalba. Uždėti komponentai buvo šildomi krosnyje 300 °C temperatūroje. Šildymo metu nuslydę komponentai buvo vėliau gražinami į vieta paprastu lituokliu. Bandymams buvo pagaminti 2 PCB moduliai (žr. 3.2.2 pav.). Atsižvelgiant į Farnell (didžiausio Europoje elektrinių komponentų tiekėjo) kainas, pavienio surinkto modelio savikaina ~ 35 eurai, o gaminant 1000 modulių ~ 14 eurų. Didžiausią kainos dalį sudaro filtro OS ir potenciometai (pagaminatam prototipe jų 7). Akivaizdu, kad, atlikus detalesnę grandyno analizę, kainą gali būti sumažinama (silpnesnis mikroprocesorius, mažesnės galios komponentai, mažesnis potenciometrų skaičius). Atsižvelgiant į trumpą rinkoje esančių PLC modulių analizę, galima teigti, kad pagamintų prototipų kaina yra palyginama su jau egzistuojančiais vieno standarto PLC sprendimais.



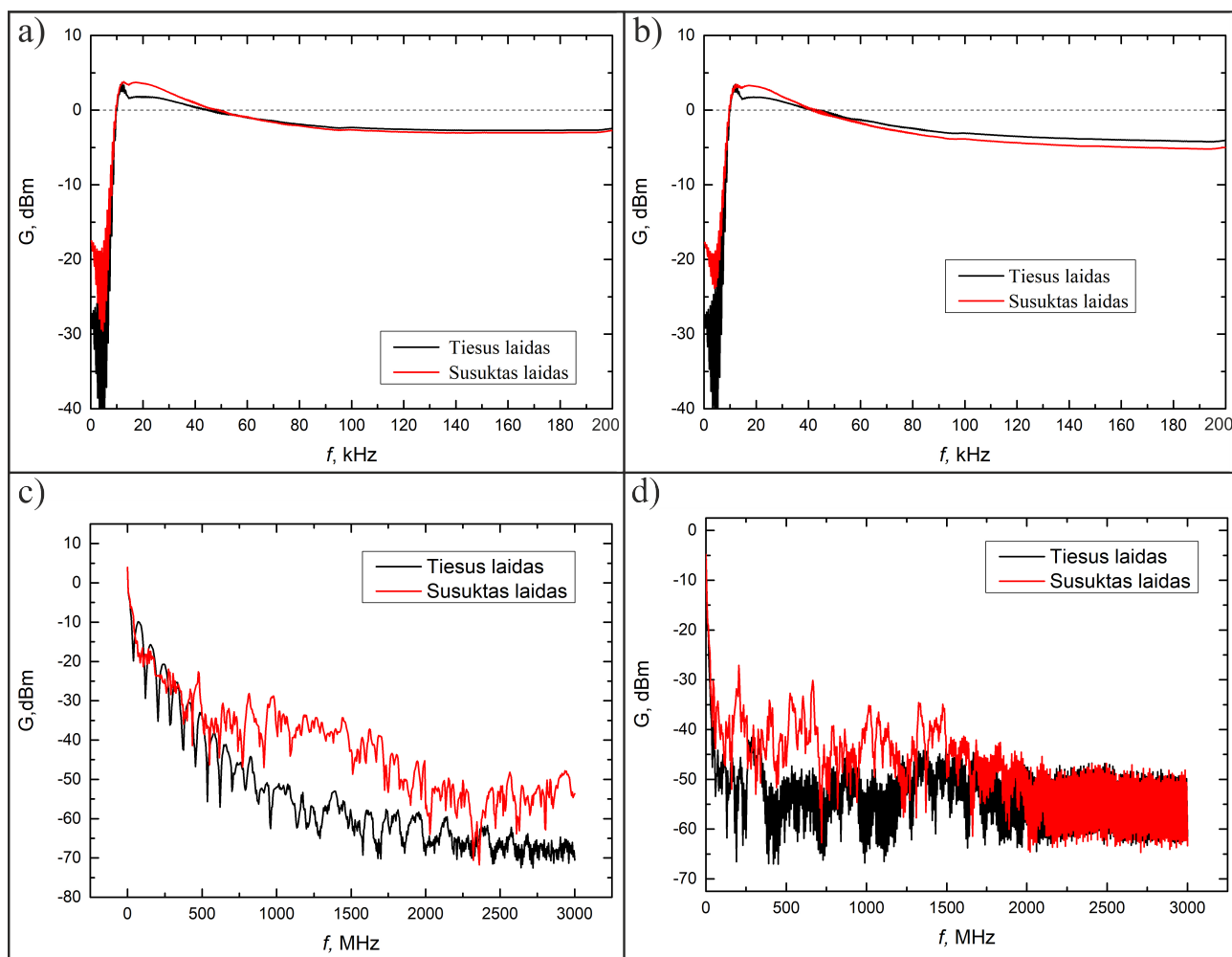
3.2.2 pav.: Pagamintas PCB prototipas (kairėje) ir surinktas SMD prototipas (dešinėje).

### 3.3 Modulių informacijos perdavimo galimybių matavimai

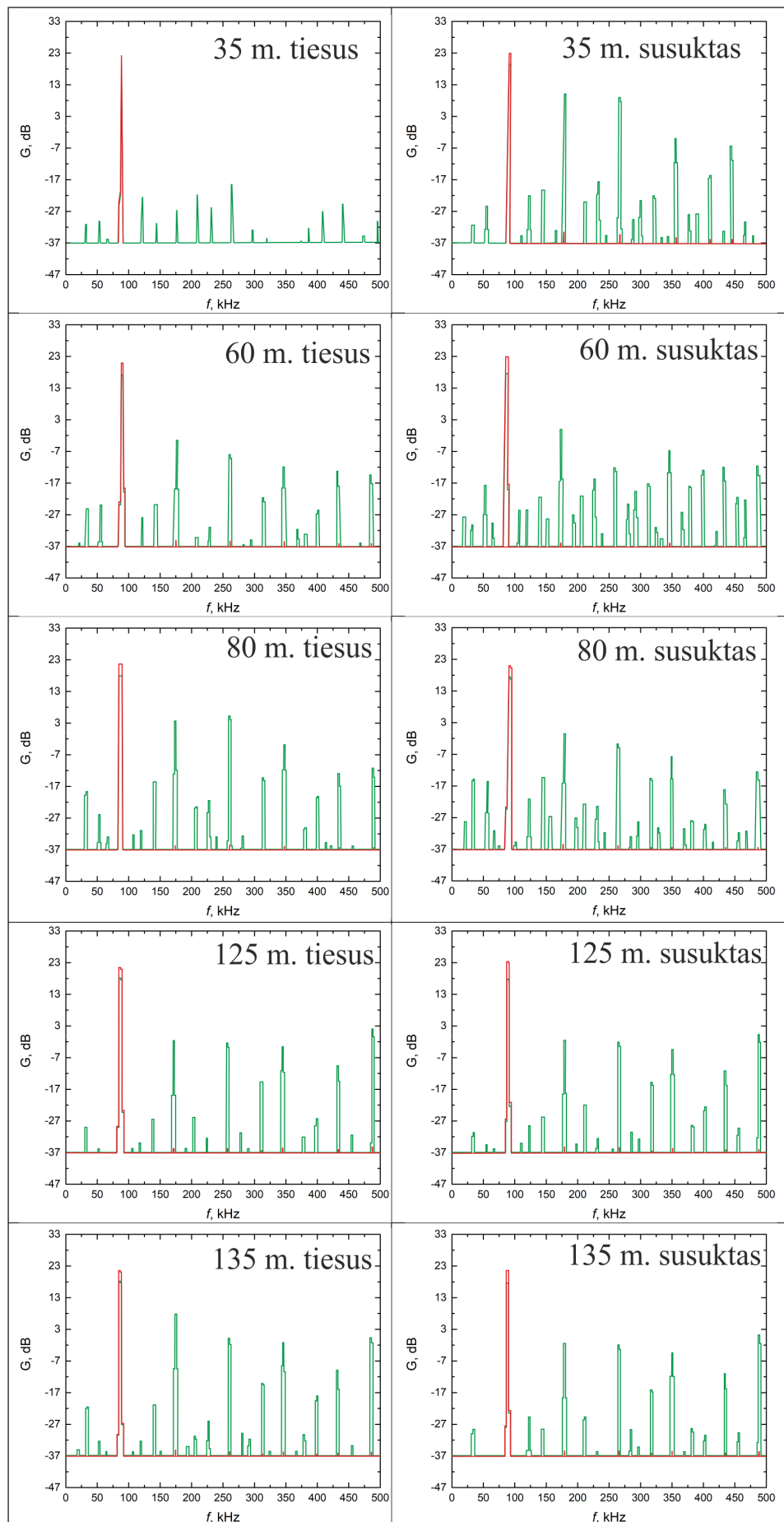
Kadangi šiam momentui modulyje nebuvo realizuota adaptyvumo funkcija, leidžianti programiškai keisti moduluojantį dažnį, prieš tikrinant modulio perdavimo galimybes, buvo nuspręsta įvertinti informacijos perdavimo kanalą, pasinaudojant GSP-9300 spektro analizatoriumi. Bandydams buvo pasirinktas trijų gyslų, 2,5 mm skersmens (iki 6kW) varinis laidas. Testuojamo kanalo ilgis 135 metrai. Matavimams pasinaudota vidiniu spektro analizatoriaus generatoriumi su normalizacijos funkcija. Dažninė kanalo analizė buvo atliekama 135 ir 35 metrų laido ilgiams. 35 metrai kaip matavimo taškas pasirinkti dėl to, kad atsižvelgiant į šiuolaikines gatvių apšvietimo infrastruktūros tendencijas, toks atstumas yra panašus į atstumą tarp dviejų, kaimyniniuose stulpuose įstatytų PLC modulių. Ir nors šio darbo eigoje nebuvo realizuota modulio kaip modemo veikimo galimybė (kai informacija iš vieno modulio iki kito, esančio per toli, yra perduodama tarp jų esančių modulių pagalba), tokią galimybę galima pridėti papildomu kodu. Matavimai buvo atliekami tiek dominančiam dažniui ruožui (0 – 200 kHz), tiek aukštiesiems dažniams (iki 3 GHz). Taip pat buvo bandoma atsižvelgti į problemas, susijusias su nekokybišku kabelio išdėstymu. Buvo nagrinėjamos dvi kraštutinės galimybės: visiškai tiesaus kabelio ir susukto į pusės metro skersmens ritę. Palyginamieji grafikai yra pavaizduoti 3.3.1 pav.

Iš dažninio kanalo atsako analizės matome, kad standartų leidžiamame dažnių ruože atsakas yra praktiškai pastovus (nebuvo pastebėta staigių slopinimo duobių), tad papildomų reikalavimų moduluojančiam dažniui neatsiranda. Taip pat, analizuodami žemo dažnio ruožą matome, kad susuktam laidui būdingas stipresnis slopinimas (0.21 dBm 35 metrų laidui ir 0.67 dBm 135 metrų laidui 80 kHz dažniui), kas reiškia, kad geram PLC ryšiui užtikrinti reikalingas kuo tiesesnis laidas. Šį faktą taip pat patvirtina aukštų dažnių ruožo matavimai, kuriuose matosi, kad susukto laido slopinimas mažesnis, tad bus stebimi stipresni pašaliniai signalai.

Kadangi programinėje modulio dalyje nenumatyta galimybės skaitmeniškai stebėti priimto signalo kokybę (analizuojant ateinančio signalo amplitudę, pokyčių nepastebėta), buvo stebimi ateinančio signalo FFT vaizdai prieš ir po filtro. FFT vaizdai pavaizduoti 3.3.2 pav.



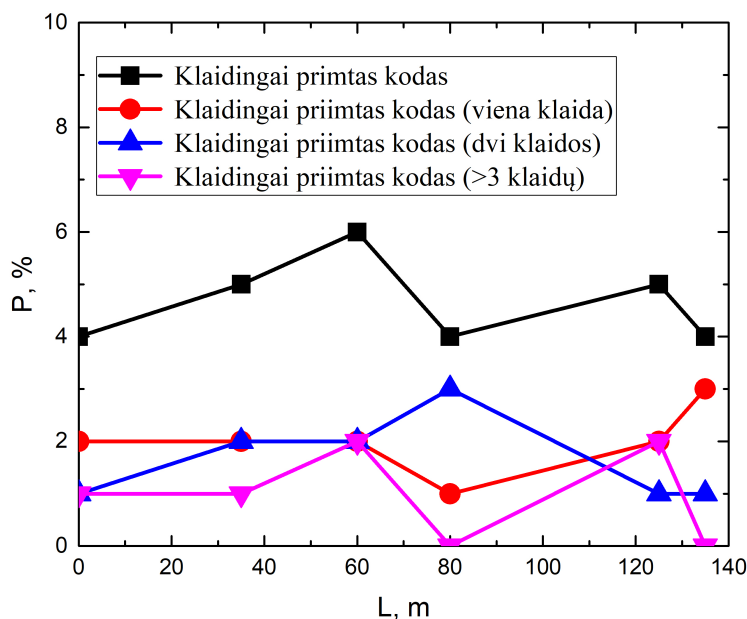
3.3.1 pav.: Analizuoto kanalo dažninės charakteristikos. a) 35 metrai, žemų dažnių ruožas; b) 135 metrai, žemų dažnių ruožas; c) 35 metrai, aukštų dažnių ruožas; d) 135 metrai, aukštų dažnių ruožas



3.3.2 pav.: FFT vaizdai skirtingiems laido ilgiams ir formoms prieš (grafikuose pažymėti žalia spalva) ir po (grafikuose pažymėti raudona spalva) filtro, moduliui siunčiant 80 kHz signalą (be išorinių trikdžių).

Iš išmatuotų FFT vaizdų galima įsitikinti sumodeliuoto filtro veiksmingumu. Tolimesniam filtravimo efektyvumui didinti galima arba naudoti didesnio kaskadų skaičiaus filtrus arba didinti filtro komponentų tikslumą ir kokybę.

3.3.3 pav. pavaizduota klaidingo kodinio žodžio priėmimo tikimybės priklausomybė nuo atstumo. Siuntimui buvo naudojama 100 atsitiktinių kombinacijų aibė. Skirtingos linijos grafike parodo kodinio žodžio priėmimo tikimybes su viena klaida (ištaisoma naudojamu Hemingo kodavimu), dviem klaidom (pastebima Hemingo kodavimo algoritmu) ir su didesnių klaidų skaičiumi. Kadangi šiems bandymams buvo naudojamas kanalas be išorinio triukšmo šaltinio, manoma, kad didžiausias klaidų skaičius atsiranda dėl parašyto dekodavimo (laikinių verčių pavertimo kodo simboliais) algoritmo ir generatorių neidealumo. Akivaizdu, kad naudojant triukšmingesnius siuntimo kanalus, tikimybė klaidingai priimti kodą augs, tad patartina apvarstyti pažangesnių kodavimo algoritmų ar klaidos atsiradimo mažinimo mechanizmų diegimą. Atsižvelgiant į atliktus matavimus, naudingas informacijos perdavimo greitis idealiuoju atveju (kai visi paketai yra priimami teisingai), apytiksliai lygus 10 kbps.



3.3.3 pav.: Klaidingai priimto kodo tikimybės priklausomybė nuo kanalo ilgio.



# IŠVADOS

- Patvirtinta, kad darbe iškelta PLC informacijos perdavimo koncepcija ir pasirinkta grandyno komponentų kombinacija yra tinkama nustatytų parametrų PLC moduliui realizuoti.
- Patvirtinta, kad parašyta modulio programinė dalis yra tinkama moduliui veikti savarankiškame tinkle bei su atitinkamais patobulinimais tapti tarpininku tarp skirtingų BPSK moduliacijos pagrindu veikiančių PLC standartų.
- Atlikti informacijos perdavimo bandymai moduliams, veikiant savarankiškame tinkle, leido įsitikinti sukurtų modulių veiksmingumu ir išryškinti gaires tolimesniai modulių tobulinimui.

# KONFERENCIJŲ SĄRAŠAS

- Vladislovas Čižas, Laurynas Dabašinskas, Pranciškus Vitta. "Creation of Goniophotometer Using Labview Programing Environment". Konferencija *59th Scientific Conference for Students of Physics and Natural Sciences "Open Readings 2016"*. (Vilnius March 15-18, 2016). Book of Abstracts 204p.
- Vladislovas Čižas, Pranciškus Vitta. "Street Lighting Trade-off Between Efficiency and Quality". Konferencija *18th International Conference School "Advanced Materials and Technology"*. (Palanga August 27-31, 2016). Book of Abstracts P51.
- Vladislovas Čižas, Pranciškus Vitta. "Investigation and Optimization of the Solid-State Luminaires for Street Lighting". Konferencija *60th Scientific Conference for Students of Physics and Natural Sciences "Open Readings 2017"*. (Vilnius March 14-17, 2017). Book of Abstracts 232p.
- Vladislovas Čižas, Pranciškus Vitta. "Investigation and Optimization of the Solid-State Luminaires for Street Lighting". Konferencija *19th International Conference School "Advanced Materials and Technology"*. (Palanga August 27-31, 2017). Book of Abstracts P62.
- Vladislovas Čižas, Pranciškus Vitta. "Kietakūnių šviesos šaltinių optikų tyrimas ir optimizavimas gatvių apšvietimui". Konferencija *42-oji Lietuvos Nacionalinė Fizikos Konferencija*. (Vilnius Spalis 4-6, 2017). Tezių knyga 229p.
- Vladislovas Čižas, Pranciškus Vitta. "Narrowband Power-Line Communication Technology Analysis". Konferencija *61th Scientific Conference for Students of Physics and Natural Sciences "Open Readings 2018"*. (Vilnius March 20-23, 2018). Book of Abstracts 107p.
- Vladislovas Čižas, Pranciškus Vitta. "Multistandard Power-Line Communication Module Prototype Creation for Smart Lighting Applications". Konferencija *62th Scientific Conference for Students of Physics and Natural Sciences "Open Readings 2019"*. (Vilnius March 19-22, 2019). Book of Abstracts 290p.

## Literatūros sąrašas

- [1] EN 13201:2015 (E), *Road lighting (3 parts)*., European Committee for Standardization/ Technical Committee 169. 2015 m. 108p.
- [2] Y. He, M. Rea, A. Bierman, et al., Evaluating Light Source Efficacy under Mesopic Conditions Using Reaction Times, *Journal of the Illuminating Engineering Society*, **26**(1), 125-138, (2014).
- [3] R. Oliviera, A. Vieira, et al. Medium Access Control Protocols for Power Line Communication: A Survey, *IEEE Communications Surveys & Tutorials* **21**1, 920-940, (2019).
- [4] A. Ndjiongue, H. Ferreira, Power Line Communications (PLC) Technology: More Than 20 Years of Intense Research, *Transactions on Emerging Telecommunications Technologies*, e3575, (2019).
- [5] K. Sharma, L. Saini, Power-line Communications for Smart Grid: Progress, Challenges, Opportunities and Status, *Renewable and Sustainable Energy Reviews*, **67** 704-751 (2017).
- [6] H. Ferreira, et al., *Power Line Communications. Theory and Applications for Narrowband and Broadband Communications over Power Lines*, (Wiley, 2010), 528p.
- [7] V. Čižas, *Gatvių apšvietimo valdymo sistemų integravimo techninė galimybių studija*, Galimybių studijos projekto ataskaita Nr. MTS-120000-1786, (Vilnius, 2018), 66p. <https://drive.google.com/open?id=1uOTPwTzTZVMN2IgNnUicKx2fKLHrduiW> [tikrintas 16.05.2019]
- [8] V. Čižas, *Komunikacijos per galios linijas technologijos ir standartų analizė bei pritaikymo galimybių išmaniajam apšvietimui tyrimas*, Kursinis darbas, (Vilnius, 2018), 41p. <https://drive.google.com/open?id=1pnwsP9zI26RubEekEPPmYoYKDeneziHO> [tikrintas 16.05.2019]
- [9] V. Čižas, *Universalaus standarto komunikacijos per galios linijas modulio prototipo vystymas ir tyrimas išmaniojo apšvietimo taikymams*, Kursinis darbas, (Vilnius, 2019), 42p. <https://drive.google.com/open?id=1s6GeCRKYTWde30PsdGEBg-xSiYXzDps1> [tikrintas 16.05.2019]
- [10] N. Briscoe, Understanding The OSI 7-Layer Model, *PC Network Advisor*, **120**, 13-14 (2000).

- [11] S. Kunegin, *Information Transfer Systems*, Paskaitų ciklas, (1997), 317p.
- [12] H. Zimmermann, OSI Reference Model - The ISO Model of Architecture for Open Systems Interconnection, *IEEE Transactions on Communications*, **28**(4), 425-432, (1980).
- [13] S. Kašėta, *Telekomunikacijų teorija*, (Tehnologija, 2012), 297p.
- [14] S. Haykin, *Communication Systems 4 ed.*, (John Wiley and Sons, 2015), 488p.
- [15] F. Carden, *Telemetry Systems Engineering*, (Artech House, 2002), 628p.
- [16] H. Rohling, *OFDM. Concepts for Future Communication Systems*, (Springer, 2011), 268p.
- [17] C. Langaton, *Intuitive Guide to Principles of Communications*, <http://complextoreal.com> [tikrintas 16.05.2019]
- [18] S. Haykin, *Intoduction to Analog and Digital Communications*, (John Wiley and Sons, 2005), 537p.
- [19] A. Czylik, Comparison Between Adaptive OFDM and Single Carrier Modulation with Frequency Domain Equalization, *Vehicular Technology Conference* 865-871 (1997).
- [20] T. Chiueh, et al., *Baseband Receiver Design for Wireless MIMO – OFDM Communications*, (Wiley, 2013), 360p.
- [21] C. Wong, et al., Multiuser OFDM with Adaptive Subcarrier, Bit, and Power Allocation, *IEEE Journal on Selected Areas in Communication*, **17**(10), 1747-1758 (1999).
- [22] S. Liu, et al., Experimental Research of Adaptive OFDM and OCT Precoding with a High SE for VLLC System, *Optical Fiber Technology*, **37**, 21-25, (2017).
- [23] J. Afonso, An Enhanced Reservation - Based MAC Protocol for IEEE 802.15.4 Networks, *Sensors* **11**, 3852-3873 (2011).
- [24] A. Gursnys, A. Anskaitis, *Telekomunikacijų teorija*, (Technika, 2012), 119p.
- [25] R. Williams, *A Painless Guide to CRC Error Detection Algorithms*, <http://read.pudn.com/downloads137/doc/585979/crc-Ross.pdf>, 30p. (1993). [tikrintas 16.05.2019]
- [26] R. Morelos, *The Art of Error Correcting Codes*, (John Wiley and Sons), 322p. (2002)
- [27] E. Berlekamp, *Algebraic Coding Theory*, (McGraw - Hill, 1968), 480p.

- [28] D. Allen, *Energy Efficient Adaptive Reed - Solomon Decoding System*, (Master Thesis, 2008), 111p.
- [29] *Lecture 8. Convolutional Coding, MIT 6.02 Lecture Notes*, (MIT, 2010), 8p.
- [30] B.Sklar, *Digital Communications. Fundamentals and Applications*, (Prentice Hall, 2003), 1106p.
- [31] *Lecture 9. Viterbi Decoding of Convolutional Codes. MIT 6.02 Lecture Notes*, (MIT, 2010), 11p.
- [32] B. Lee, S. Kim, *Scrambling Techniques for Digital Transmission*, (Springer, 1994), 452p.
- [33] *Draft Specification for Powerline Intelligent Metering Evolution v1.4*, Standard, (2014), 251p.
- [34] *PLC G3 Physical Layer Specification*, Standard, (2015), 46p.
- [35] *PLC G3 MAC Layer Specification*, Standard, (2015), 138p.
- [36] *IEEE Standard for Low – Frequency Narrowband Power Line Communication for Smart Grid Applications. IEEE std 1901.2–2013*, Standard, (2013), 269p.
- [37] S. Bradbury, "HomePlug Command & Control Overview White Paper", Yitran Communications Ltd. and the HomePlug Command and Control Marketing Work Group, (2008) 9p.
- [38] *LonTalk Protocol Specification*, (Echelon Corp., 2001), 112p.
- [39] M. Hoch, Comparison of PLC-G3 and PRIME, 2011 IEEE International Symposium on Power Line Communications and its Applications, 165-169, (2011).
- [40] Z. Sadowski, Comparison of PLC-PRIME and PLC-G3 protocols, XII International School on Nonsinusoidal Currents and Compensation, 1-6, (2015).
- [41] K. Razazian, et al., Error Correction Mechanism in the New G3-PLC Specification for Powerline Communication, 2010 IEEE International Symposium on Power Line Communications and its Applications, 1-6, (2010).
- [42] K. Razazian, et al., G3-PLC Specification for Powerline Communication: Overview, System Simulation and Field Trial Results", 2010 IEEE International Symposium on Power Line Communications and its Applications, 1-6, (2010).

- [43] J. LeClare, An Overview, History, and Formation of IEEE P1901.2 for Narrowband OFDM PLC, Application Note 5676, 1-7, (2013).
- [44] F. Tiersch, *LonWorks Technology. Introduction*, (Lonworks, 2001), 143p
- [45] R. Mancini, R. Palmer, *Sine-Wave Oscillator*, (Texas Instruments Application Report, 2014), 21p.
- [46] I. Gottlieb, *Practical Oscillator Handbook*, (Newnes, 1997), 259p.
- [47] *Electronics tutorial. Oscillators*, <https://www.electronics-tutorials.ws/category/oscillator> [tikrintas 17-05-2019]
- [48] B. Carter, R. Mancini, *Op Amps for Everyone*, (Texas Instruments, 2009), 609p.
- [49] M. Zimmermann, K. Dostert, An Analysis of the Broadband Noise Scenario in Powerline Networks, International Symposium on Powerline Communications and its Applications, (2000) p. 5–7.
- [50] O. Hoojien, A Channel Model for the Residential Power Circuit Used as a Digital Communication Medium, IEEE Transaction on Electromagnetic Compatibility, **40-4**, (1998), 331–336
- [51] *Introduction into Digital Signal Processing*, Paskaitų konspektas, (KTU, 2015), 21p.
- [52] Webench Filter Designer. Programa. <http://www.ti.com/design-tools/signal-chain-design/webench-filters.html> [tikrintas 17.05.2019]
- [53] P. Horowitz, H. Winfield, *The Art of Electronics. 3rd Edition*, (Cambridge University Press, 2015), 1219p.
- [54] H. Zumbahlen *Linear Circuit Design Handbook*, (Newnes, 2011), 954p.
- [55] *Linear Circuit Design Handbook. Chapter 8*, (Analog Devices, 2008), 148p.
- [56] O. Golovin, *Radio Receivers*, (Telecom, 2004), 385p.
- [57] *2n5550, 2n5551. Amplifier Tranzistors. NPN Silicon*, (ON Semiconductor, 2004), 6p. <http://www.alldatasheet.com/datasheet-pdf/pdf/11488/ONSEMI/2N5551.html>. [tikrintas 17.05.2019]

- [58] *2n5401. Amplifier Tranzistors. PNP Silicon*, (ON Semiconductor, 2004), 6p. <http://www.alldatasheet.com/datasheet-pdf/pdf/110707/ONSEMI/2N5401.html> [tikrintas 17.05.2019]
- [59] *Industry - Standard Dual Operational Amplifier. LMx58 series*, (Texas Instruments Datasheet, 2018), 48p. <http://www.ti.com/lit/ds/symlink/lm358.pdf> [tikrintas 17.05.2019]
- [60] *LM79xx Series 3 - Terminal Negative Regulators*, (Texas Instruments Datasheet, 2013), 13p. <http://www.ti.com/lit/ds/symlink/lm79.pdf> [tikrintas 17.05.2019]
- [61] *LM7805 Wide Vin 1.5A Fixed Voltage Regulators*, (Texas Instruments Datasheet, 2016), 34p. <http://www.ti.com/lit/ds/symlink/lm340.pdf> [tikrintas 17.05.2019]
- [62] *LM833 Dual High - Speed Audio Operational Amplifier*, (Texas Instruments Datasheet, 2014), 33p. <http://www.ti.com/lit/ds/symlink/lm833.pdf> [tikrintas 17.05.2019]
- [63] *CDx4HC405x High - Speed CMOS Logic Analog Multiplexers and Demultiplexers*, (Texas Instruments Datasheet, 2017), 45p. <http://www.ti.com/lit/ds/symlink/cd74hc4053.pdf> [tikrintas 17.05.2019]
- [64] *LMx93 Dual Differential Comparators* (Texas Instruments Datasheet, 2017), 37p. <http://www.ti.com/lit/ds/symlink/lm393.pdf> [tikrintas 17.05.2019]
- [65] *SNx4HC00 Quadruple 2 - Input Positive - NAND Gates*, (Texas Instruments Datasheet, 2016), 30p., <http://www.ti.com/lit/ds/symlink/sn74hc00.pdf> [tikrintas 17.05.2019]

## **Skirtingus komunikacijos per galios linijas standartus palaikančio modulio prototipo kūrimas ir tyrimas išmanaus gatvių apšvietimo taikymams**

### SANTRAUKA

Šiuolaikiniame sparčiai technologiškai besivystančiame pasaulyje, visos išsivysčiusios šalys suvokia gamtos ir resursų tausojimo svarbą ir neišvengiamą technologinių pasiekimų indėlį į šį procesą. Paskutinį dešimtmetį yra iš naujo atrandama PLC technologija, kai informacija yra perduodama galios laidais. Tokie PLC technologijos privalumai kaip informacijos perdavimo galimybės, atsisakant papildomos infrastruktūros diegimo bei padidinta perduodamos informacijos apsauga, nulemia tai, kad PLC tampa vis patrauklesnė informacijos perdavimo technologija skirtingiausiems taikymams.

Šiam momentui, viena iš didžiausių kliūčių, trukdančių PLC plitimui - vieningo standarto nebuvimas. Dėl šios priežasties skirtingo standarto pagrindo prietaisams veikiant viename tinkle atsiranda skirtingo lygio problemų ar nepatogumų.

Pagrindinis šio baigiamojo darbo tikslas: sukurti santykinai paprastą ir ekonomiškai efektyvią PLC sistemą, veikiančią fazinės moduliacijos pagrindu ir gebančią apjungti, interpretuoti ir konvertuoti skirtingais PLC standartais siunčiamus signalus.

Atlikus populiariausių PLC standartų analizę, buvo iškelta PLC informacijos perdavimo koncepcija. Elektrinių grandynų modeliavimo programų pagalba, nustatyta optimaliausia grandyno komponentų kombinacija iškeltai koncepcijai realizuoti. Galiausiai buvo sukurti prototipai, kuriems buvo sukurta programinė aplinka bei atlikti informacijos perdavimo galimybių nustatymo bandymai. Toliau pateikiamos darbo metu suformuluotos išvados:

- Patvirtinta, kad darbe iškelta PLC informacijos perdavimo koncepcija ir pasirinkta grandyno komponentų kombinacija yra tinkama nustatytų parametrų PLC moduliui realizuoti.
- Patvirtinta, kad parašyta modulio programinė dalis yra tinkama moduliui veikti savarankiškame tinkle bei su atitinkamais patobulinimais tapti tarpininku tarp bet kokių BPSK moduliacijos pagrindu veikiančių PLC standartų.
- Atlikti informacijos perdavimo bandymai moduliams, veikiant savarankiškame tinkle, leido įsitikinti sukurtų modulių veiksmingumu ir išryškinti gaires tolimesniam modulių tobulinimui.



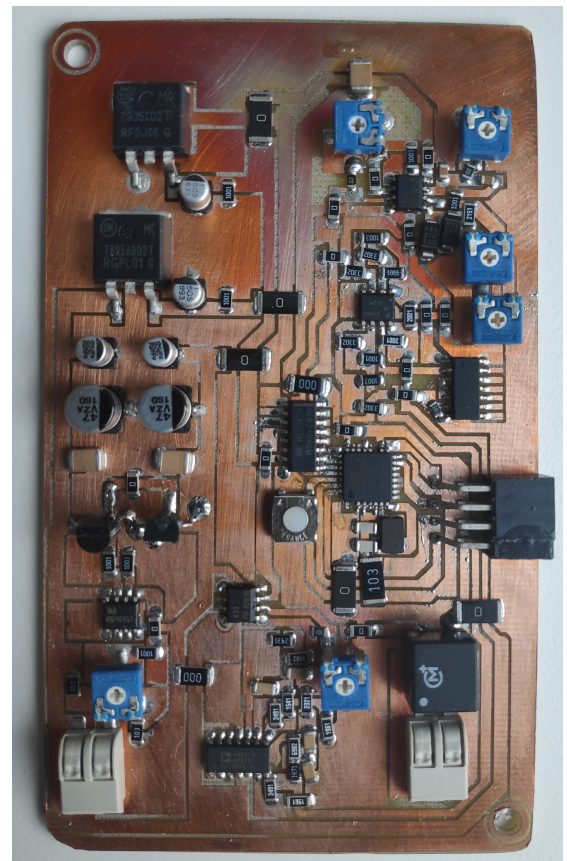
# Prototype Development and Investigation of the Different Power-Line Communication Standards Supporting Transceiver for Smart Street Lighting

## SUMMARY

In today's modern technology era, all developed countries understand the importance of nature preservation and undoubted technological achievement contribution to this process. One of the most obvious solution is to try to reduce electrical energy consumption. Luckily, advances in control systems give huge possibilities to optimize electrical devices, thus reducing electricity consumption without refusing any conveniences, provided by these devices.

Nowadays, PLC (power-line communication) technology is being "reinvented" and becoming more and more popular for different solutions as safe and noise independent technology, which can transfer small data packages using existing power line cables. Despite many advantages, PLC, being unpopular for a long time, wasn't properly standardized. As a result, several alliances were created and each of them developed their own PLC standard, which of course is unique and not supported by other standards. Therefore, there is a demand for cheap and simple solution to act as an intermediary for different standard-based PLC systems.

The main aim of this work was to create simple and effective BPSK modulation based PLC system, which would be able to connect different standard based PLC modules. As a result, we managed to create a simple phase modulation based hardware concept, which was tested by Multisim simulation and circuit design software and after being confirmed, two prototypes were soldered. We also created program which enables possibility for the prototypes to work either independently, either (with some additional coding) as intermediary for any BPSK based PLC standard. Lastly, prototypes were successfully tested using with different length cables to find out information transmission possibilities.



3.3.4 pav.: One of the created PLC prototypes.